

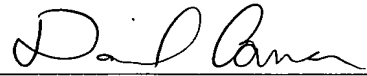
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kazushige Hotta
Serial No.:
Conf. No.:
Filed: 3/25/2004
For: THIN FILM TRANSISTOR
SUBSTRATE AND
MANUFACTURING METHOD
THEREOF

Art Unit:
Examiner:

I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: MS Patent Application, Commissioner for Patents, Alexandria, VA 22313-1450, on this date.

3/25/04
Date


Express Mail No. EV032736661US

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:


Applicant claims foreign priority benefits under 35 U.S.C., § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2003-092862, filed March 28, 2003

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By 

Patrick G. Burns
Registration No. 29,367

March 25, 2004
300 South Wacker Drive
Suite 2500
Chicago, Illinois 60606
Telephone: 312.360.0080
Facsimile: 312.360.9315

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application:	March 28, 2003
Application Number:	No. 2003-092862
[ST.10/C]:	[JP2003-092862]
Applicant(s):	FUJITSU DISPLAY TECHNOLOGIES CORPORATION

January 29, 2004

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2004-3004151

2803,70178
312,360,0080

日 本 国 特 許 庁
JAPAN PATENT OFFICE

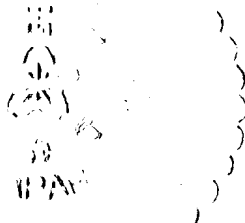
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 2 8 6 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 2 8 6 2]

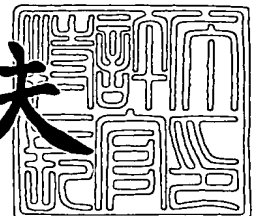
出 願 人 富士通ディスプレイテクノロジーズ株式会社
Applicant(s):



2 0 0 4 年 1 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 4 1 5 1

【書類名】 特許願

【整理番号】 0252903

【提出日】 平成15年 3月28日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 29/786
G02F 1/136
H01L 27/12

【発明の名称】 薄膜トランジスタ基板およびその製造方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
ディスプレイテクノロジーズ株式会社内

【氏名】 堀田 和重

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213584

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ基板およびその製造方法

【特許請求の範囲】

【請求項 1】 透明絶縁基板と、

前記透明絶縁基板上に形成される第 1 薄膜トランジスタと、

前記透明絶縁基板上に形成され、前記第 1 薄膜トランジスタと異なる特性の第 2 薄膜トランジスタと

を備え、第 1 薄膜トランジスタの活性層の膜厚は 50 nm 以上、その平均結晶粒径は 1 μ m 以上であり、第 2 薄膜トランジスタの活性層の膜厚は 60 nm 以下、その平均粒径は 1 μ m 未満であることを特徴とする薄膜トランジスタ基板。

【請求項 2】 透明絶縁基板と、

前記透明絶縁基板上に形成される第 1 薄膜トランジスタと、

前記透明絶縁基板上に形成され、前記第 1 薄膜トランジスタと異なる特性の第 2 薄膜トランジスタと

を備え、前記第 1 薄膜トランジスタの活性層の平均結晶粒径は 1 μ m 以上、前記第 2 薄膜トランジスタの活性層の平均結晶粒径は 1 μ m 未満であり、前記第 1 薄膜トランジスタのゲート絶縁膜の膜厚は、第 2 薄膜トランジスタのゲート絶縁膜の膜厚よりも薄いことを特徴とする薄膜トランジスタ基板。

【請求項 3】 前記第 1 薄膜トランジスタの活性層は、連続発振レーザの選択的照射によりラテラル結晶化された多結晶シリコンであることを特徴とする請求項 1 または 2 に記載の薄膜トランジスタ基板。

【請求項 4】 透明絶縁基板上の第 1 領域に、エキシマレーザ照射により結晶化された第 1 半導体膜を形成する工程と、

前記透明絶縁基板上の第 2 領域に、連続発振レーザの照射によりラテラル結晶化された第 2 半導体膜を、前記第 1 半導体膜以上の膜厚で形成する工程と、

前記第 1 半導体膜に第 1 の薄膜トランジスタを形成する工程と、

前記第 2 半導体膜に、前記第 1 の薄膜トランジスタよりも高速で動作する第 2 の薄膜トランジスタを形成する工程と

を含むことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 5】 前記第 2 半導体膜の形成工程は、前記連続発振レーザにより、非晶質シリコン膜の所定の領域のみを選択的に照射する工程を含むことを特徴とする請求項 4 に記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ基板とその製造方法に関し、特に、同一基板内に特性の異なる 2 種類の薄膜トランジスタを有する多結晶シリコン薄膜トランジスタ基板と、その製造方法に関する。

【0002】

【従来の技術】

液晶表示装置は、軽量かつ薄型で消費電力も低いという特徴をもち、携帯端末やビデオカメラのファインダ、ノートパソコンなど幅広い分野に应用されている。近年、低コスト化を目的として、表示領域内の画素駆動用の薄膜トランジスタ (TFT) の形成と同時に、表示領域外部に周辺回路用の薄膜トランジスタを形成することができる多結晶シリコン薄膜トランジスタ (poly-SiTFT) 基板が用いられ始めている。とりわけ、低コストのガラス基板を用いた低温多結晶シリコン薄膜トランジスタは大型化も容易であり、液晶表示装置だけでなく有機 EL 装置にも用いられている。

【0003】

図 1 は、従来の多結晶シリコン薄膜トランジスタ基板を示す。この多結晶シリコン薄膜トランジスタ基板は、ガラス基板 180 上にマトリクス状に配置された画素領域 183 と、画素領域 183 の一部に形成される画素トランジスタ 182 と、周辺回路 181 を有する。画素トランジスタ 182 や周辺回路 181 の薄膜トランジスタを形成するために、ガラス基板 180 に多結晶シリコン膜を形成する必要がある。高価な石英基板を用いる場合は、高温処理で直接多結晶シリコンを堆積すればよいが、ガラス基板 180 を用いる場合は、低温処理が前提とされる。

【0004】

低温多結晶シリコン薄膜トランジスタの多くは、まず非晶質シリコン (a-Si) 膜を形成し、非晶質シリコンをエキシマレーザで照射することによって多結晶化する手法で作製されている。この方法で結晶化される多結晶シリコン膜の平均粒径は、レーザパワーの増大につれて大きくなる。平均粒径が大きくなると多結晶シリコン薄膜トランジスタの移動度も増大するが、あるしきい値を超えると逆に微結晶化が始まり、多結晶シリコン薄膜トランジスタの移動度にバラツキが生じる。

【0005】

また、同じレーザパワーを照射する場合、非晶質シリコンの膜厚が厚いほどレーザ照射後の平均粒径が小さくなる傾向がある。そこで、高速動作を要する周辺回路のトランジスタの活性層を、画素トランジスタの活性層よりも薄く形成して移動度を高めることが提案されている（たとえば、特許文献1参照）。現在実用化されているエキシマレーザでは、非晶質シリコン (a-Si) の膜厚を 60 nm 以下に設定した場合に、TFT 移動度が $100 \text{ cm}^2/\text{Vs}$ 程度の n チャンネル TFT を実現できる。

【0006】

逆に、画素トランジスタを薄い半導体層で構成し、高速動作を必要とする周辺トランジスタを厚い半導体層で構成して、熱アニールにより結晶化して、多結晶シリコン薄膜トランジスタを作製する方法も提案されている（たとえば、特許文献2参照）。

【0007】

一方、近年では、移動度をさらに高めた TFT を実現するための結晶化方法として、CW（連続発振）レーザを用いたラテラル結晶化方法が注目されている。ラテラル結晶化によると、レーザの走査方向（ラテラル方向）に沿って結晶粒径が増大する。ラテラルに延びる結晶化方向に沿って TFT のソース／ドレイン領域を形成することにより、さらなる高移動度の達成が期待できる。

【0008】

従来から CW レーザを用いた結晶化方法は検討されてきたが、それまでの CW レーザは出力レーザ光のばらつきが大きく、結晶化が一様にできなかった。しか

し近年、レーザダイオード励起による固体レーザが発明され、出力パワーのバラツキが大幅に低減されたため、CWレーザを用いた結晶化が実現できるようになった。

【0009】

CWレーザ照射法では、楕円形に成形されたレーザビームのスポット径を、短軸方向に数十 μm 、長軸方向に数百 μm 程度に絞り、数十～数百 cm/s の速度でスキャンすることで、従来のエキシマレーザでは得られなかった粒径の結晶を得ることができる。CWレーザ方法では、非晶質シリコン(a-Si)の膜厚が増加するに従ってレーザ光の吸収が大きくなるため、低パワーで大きな粒径に結晶化できる。例えば、非晶質シリコン(a-Si)の膜厚が50nm以上で、300 cm^2/Vs 以上のnチャネルTFTが実現できる。

【0010】

【特許文献1】

特開平11-284188号公報

【0011】

【特許文献2】

特開平6-125084号公報

【0012】

【発明が解決しようとする課題】

しかし、CWレーザによるラテラル結晶化を利用した多結晶シリコン薄膜トランジスタ(Poly-SiTFT)では、以下の3つの問題点がある。

(1) 従来のエキシマレーザに比べて非晶質シリコン(a-Si)膜を厚くする必要があるため、トランジスタのオフ時のリーク電流が増大してしまう。

(2) 細長いスリット状態のビーム形状を有するエキシマレーザと異なり、楕円形に絞ったCWレーザビームでは、基板全面をラテラル結晶化するのに時間がかかり、生産性が悪化する。複数のビームを用いて照射することも考えられるが、ビームのエネルギーを均一にすることが難しく、逆に歩留まりが低下する。

(3) TFTの移動度が高いために、ソース/ドレイン間の耐圧が劣化してしまう。ゲート絶縁膜を薄くして動作電圧を低減することも考えられるが、ゲート電

圧に対する耐圧が劣化してしまい問題である。

【0013】

そこで、本発明は、CWレーザ照射による多結晶化を利用しつつ生産性を高く維持し、かつ、オフリーク電流や耐圧劣化を低減することのできる薄膜トランジスタ基板の製造方法を提供することを目的とする。

【0014】

また、活性層の膜厚が同一または異なる2種類の薄膜トランジスタを有し、それぞれの種類のトランジスタに対して異なる平均結晶粒径の活性層を備えることにより、目的に応じた動作が可能な薄膜トランジスタ基板を提供することを目的とする。

【0015】

【課題を解決するための手段】

上記課題を解決するために、高速動作をそれほど必要としない領域の薄膜トランジスタ(TFT)の活性層をエキシマレーザにより結晶化し、高速動作が必要な領域においてのみ、薄膜トランジスタの活性層をCW(連続発振)レーザによりラテラル結晶化する。これにより、CWレーザ照射時間を短縮して生産性を高く維持する。

【0016】

また、オフリーク電流を低減するために、CWレーザ照射を行わない非高速動作領域(たとえば画素領域)のTFT活性層に用いる活性層の膜厚を60nm以下、好ましくは、40nm~60nmに設定する。

【0017】

一方、高速動作を要するTFT活性層では、CWレーザ照射により平均結晶粒径を1 μ m以上とするために、活性層の膜厚を50nm以上、好ましくは75nm~100nmとする。

【0018】

さらに、ソース/ドレイン間の耐性劣化を防止するために、高速動作領域のnチャネルTFTにはLDD(lightly doped drain)構造を設けずに、駆動電圧を低く抑える。画素トランジスタ等の低速動作領域のnチャネルTFTにのみL

DD構造を設けることにより、耐圧を改善する。

【0019】

さらに、信頼性を高めるため、高速動作を必要とするTF T領域のゲート絶縁膜厚を薄くし、それ以外のTF T領域のゲート絶縁膜を厚くすることによって、耐圧をさらに改善する。

【0020】

より具体的には、本発明の第1の側面では、薄膜トランジスタ基板は、透明絶縁基板と、透明絶縁基板上に形成される第1薄膜トランジスタと、透明絶縁基板上に形成され前記第1薄膜トランジスタと異なる特性の第2薄膜トランジスタとを備え、第1薄膜トランジスタの活性層の膜厚は50nm以上、その平均結晶粒径は1 μ m以上であり、第2薄膜トランジスタの活性層の膜厚は60nm以下、その平均粒径は1 μ m未満である。

【0021】

この構成により、同一基板上に異なる特性の薄膜トランジスタを有し、それぞれの目的に応じた動作を、信頼性高く実現することができる。

【0022】

本発明の第2の側面では、薄膜トランジスタ基板は、透明絶縁基板と、透明絶縁基板上に形成される第1薄膜トランジスタと、透明絶縁基板上に形成され前記第1薄膜トランジスタと異なる特性の第2薄膜トランジスタとを備え、第1薄膜トランジスタの活性層の平均結晶粒径は1 μ m以上、前記第2薄膜トランジスタの活性層の平均結晶粒径は1 μ m以下であり、前記第1薄膜トランジスタのゲート絶縁膜の膜厚は、第2薄膜トランジスタのゲート絶縁膜の膜厚よりも薄い。

【0023】

この構成により、同一基板上に目的に応じて動作速度の異なるトランジスタを有するとともに、平均結晶粒径の小さいトランジスタで耐圧性を向上させた薄膜トランジスタ基板を実現することができる。

【0024】

第1薄膜トランジスタの活性層は、連続発振レーザの照射によりラテラル結晶化された多結晶シリコンである。

【0025】

一方、第2薄膜トランジスタの活性層は、エキシマレーザの照射により結晶化された多結晶シリコンである。

【0026】

本発明の第3の側面では、同一基板上に異なる特性のトランジスタを有する薄膜トランジスタ基板の製造方法を提供する。この製造方法は、

(a) 透明絶縁基板上の第1領域に、エキシマレーザ照射により結晶化された第1の膜厚の第1半導体膜を形成する工程と、

(b) 透明絶縁基板上の第2領域に、連続発振レーザの照射によりラテラル結晶化された第2半導体膜を、第1半導体膜以上の膜厚で形成する工程と、

(c) 第1半導体膜に第1の薄膜トランジスタを形成する工程と、

(d) 第2半導体膜に、第1の薄膜トランジスタよりも高速で動作する第2の薄膜トランジスタを形成する工程とを含む。

【0027】

第2半導体膜の形成工程は、連続発振レーザにより、非晶質シリコン膜の所定の領域のみを選択的に照射する工程を含む。

【0028】

好ましくは、第1半導体膜上に第1ゲート絶縁膜を形成する工程と、第2半導体膜上に、第1ゲート絶縁膜よりも薄いゲート絶縁膜を形成する工程をさらに含む。

【0029】

本発明のその他の特徴、効果は、以下で図面を参照して述べる詳細な説明によりいっそう明確になる。

【0030】**【発明の実施の形態】**

図2は、本発明が適用される薄膜トランジスタ基板の一例を示す。薄膜トランジスタ基板は、ガラス基板などの透明絶縁基板1と、透明絶縁基板1上にマトリクス状に形成される画素領域3と、画素領域3の一部に設けられる画素駆動用の

薄膜トランジスタ（以下、「画素トランジスタ」と称する）2と、画素領域3の外部に形成され、高速動作が必要とされる第1回路4と、画素領域3の外部に形成され、高速動作が必要とされない（非高速動作の）第2回路5を備える。画素領域において、各トランジスタ2のソースは、コンタクト6を介して画素電極（透明電極）7に接続されている。

【0031】

高速動作が必要とされる第1回路4は、たとえば入力データ进行处理するための回路である。一方、画素トランジスタ2においては、液晶の配向を変えるために一定時間電圧を印加する必要がある、高速動作よりは、むしろ耐圧性が必要とされる。

【0032】

図3は、本発明が適用される薄膜トランジスタ基板の断面構成を示す。ガラス基板10上に、下地シリコン窒化（SiN）11と下地シリコン酸化（SiO₂）膜12を介して、高速動作トランジスタと、画素トランジスタが形成される。なお、図3では説明の便宜上、高速動作トランジスタと画素トランジスタを隣接して図示しているが、この構成に限定されるものではない。

【0033】

高速動作TFTの活性層17bは、CWレーザ照射によりラテラル結晶化されたシリコン層であり、その膜厚は、50nm以上、平均結晶粒径は1μm以上である。一方、画素トランジスタの活性層17aは、エキシマレーザの照射により結晶化されたシリコン層であり、その膜厚は60nm以下、平均粒径は1μm未満である。

【0034】

図3の例では、画素トランジスタをnチャネル非高速動作トランジスタとし、活性層17aにLDD構造を適用している。したがって、画素トランジスタの活性層17aは、ソース／ドレイン15と、LDD18と、チャネル領域16を含む。一方、nチャネル高速動作トランジスタの活性層17bは、LDD構造を有せずに、ソース／ドレイン15とチャネル領域16を含む。活性層17a、17b上にゲート絶縁膜41を介してそれぞれのゲート電極22が位置する。各トラ

ンジスタのソース／ドレイン15から、ソース／ドレイン電極19が引き出される。画素トランジスタにおいては、ソース／ドレイン電極19に画素電極（透明電極）25が接続される。

【0035】

このように、薄膜トランジスタ基板の一部を占める高速動作の薄膜トランジスタ（TF T）領域については、選択的なCWレーザ照射によってラテラル結晶化した活性層を設け、照射時間を効率的に低減する。ラテラル結晶化によって結晶化の方向に沿ったキャリアの移動度を高め、動作速度を高速化できる。また、高速動作TF T領域での活性層（半導体）の膜厚を厚く、画素領域等の非高速動作領域の活性層（半導体）膜厚を薄くすることで、画素領域でのオフリーク電流を低減できる。さらに、非高速動作領域のnチャネルTF TのみLDD構造を有する構成とするので、耐圧を改善できる。

【0036】

以下、図面を参照して、本発明の薄膜トランジスタ基板の具体的な製造工程を説明する。

<第1実施形態>

図4～図8は、本発明の第1実施形態に係る薄膜トランジスタ基板の製造工程を示す図である。この例では、ガラス基板上にCMOS回路を形成する。説明の便宜上、図面の左から順にnチャネルエキシマ結晶化領域、nチャネル高速動作領域、pチャネルエキシマ結晶化領域、pチャネル高速動作領域を形成するものとするが、実際の薄膜トランジスタ基板はこの配置例に限定されない。また、本実施形態では、nチャネルエキシマ結晶化領域に形成される薄膜トランジスタ（TF T）を、画素トランジスタとする。

【0037】

第1実施形態では、ガラス基板上に第1の薄い半導体（a-Si）膜を形成し、エキシマレーザにより基板全面を多結晶化した後、非高速動作TF T領域のみを残すように第1半導体（Poly-Si）膜をパターニングする。その上に、第2の厚い半導体（a-Si）膜を形成し、高速動作を必要とするTF T領域のみにCWレーザを照射してラテラル結晶化する。

【0038】

まず、図4 (a) において、ガラス基板10上に、CVD装置を用い、下地SiN膜11、下地SiO₂膜12、第1半導体(a-Si)膜13をそれぞれ50nm、200nm、40nmで成膜し、エキシマレーザを照射して非晶質シリコン(a-Si)の第1半導体膜13を結晶化する。

【0039】

次に、図4 (b) において、たとえばCVD法により、保護SiO₂膜14を膜厚20nmに成膜する。

【0040】

次に、図4 (c) において、高速動作を必要としないTF_T領域のみを残すようにレジストをパターニングしてマスクM1とし、保護SiO₂膜14と結晶化された第1半導体(Poly-Si)膜13'をエッチングする。エッチングは、たとえばRIE装置を用い、フッ素系ガスを供給して行う。

【0041】

次に、図4 (d) において、レジストマスクM1を除去し、第2半導体(a-Si)膜21を、CVD法により全面に形成する。第2半導体膜21の膜厚は75nmとする。

【0042】

次に、図4 (e) において、第2半導体膜21上に、高速動作を必要とするTF_T領域のみを残すようにレジストマスクM2を形成し、これをマスクとして、第2半導体膜21と、非高速動作TF_T領域の第1半導体層13'上の保護SiO₂膜14とをエッチング除去する。例えば、第2半導体(a-Si)膜21をRIE法によりフッ素系ガスでエッチングした後、希フッ酸でSiO₂膜14をエッチングする。

【0043】

次に、図5 (f) において、高速動作TF_T領域にのみCWレーザを選択的に照射して、第2半導体(a-Si)膜21をラテラル結晶化させ、多結晶シリコン(Poly-Si)膜21'にする。

【0044】

次に、図5 (g) において、レジストマスクM3を用いて多結晶シリコン膜13'、21'をエッチングし、素子分離を行う。これにより、非高速動作TF T領域の薄い半導体膜17aと、高速動作TF T領域の厚い半導体膜17bとが形成される。

【0045】

次に、図5 (h) において、全面にゲート絶縁膜41と、第1導電性膜42を形成する。たとえば、CVD法によりSiO₂膜を50nm成膜し、スパッタリングによりAl-Nd膜を300nmの膜厚に成膜する。第1導電性膜42は、ゲート電極を形成するための膜である。

【0046】

次に、図5 (i) において、レジストをゲート電極形状にパターンニングしてマスクM4とし、第1導電性膜42をウェットエッチングする。これにより、シリコン酸化膜41上にゲート電極22が形成される。

【0047】

次に、図6 (j) において、nチャネルの非高速動作TF T領域（エキシマ結晶化領域）のゲート周辺と、pチャネル領域をレジストマスクM5で覆い、露出されている半導体膜中にP（リン）イオンを高濃度で注入する。注入条件は、例えばイオンドーピング装置を用い、エネルギー40KeV、ドーズ量 1×10^{15} とする。nチャネルの非高速動作TF T領域（エキシマ結晶化領域）のゲート周辺部は、次工程でLDDとされる領域である。

【0048】

次に、図6 (k) において、レジストマスクM5を剥離し、ゲート電極22をマスクとして、基板全面にP（リン）イオンを低濃度で注入する。注入条件は、例えば、イオンドーピング装置を用いエネルギー40KeV、ドーズ量 2×10^{15} とする。この低濃度Pイオン注入で、nチャネル画素トランジスタの活性層にLDD18が形成される。

【0049】

次に、図6 (l) において、nチャネル領域をレジストマスクM6で覆い、pチャネル領域の半導体膜中にB（ボロン）イオンを高濃度で注入する。注入条件

は、例えばイオンドーピング装置を用い、エネルギー 40 KeV、ドーズ量 1×10^{15} で行う。

【0050】

次に、図 6 (m) において、レジスト M6 を剥離してから、エキシマレーザを基板全面に照射してレーザ活性化を行う。この結果、各 TFT 領域の活性層にソース／ドレイン 15 が形成される。

【0051】

次に、図 7 (n) において、水素を含む層間絶縁膜 71 を形成し、熱処理により水素化処理を行う。例えば、CVD 法により SiN 膜を 370 nm 成膜し、350℃で2時間、大気圧の窒素雰囲気アニールする。なお、水素化処理方法としては、他に水素雰囲気アニールや、水素プラズマ処理等があり、それらを別途行えば、層間絶縁膜として水素を含む膜である必要はない。

【0052】

次に、図 7 (o) において、レジストマスク M7 を形成して、層間絶縁膜 71 を RIE 法によりエッチングして、コンタクトホール 37 を形成する。

【0053】

次に、図 7 (p) において、レジストマスク M7 を剥離し、第 2 導電性膜 81 を成膜する。第 2 導電性膜 81 は、例えばスパッタリングにより Ti / Al / Ti 膜をそれぞれ 50 nm、200 nm、100 nm の膜厚に順次成膜したものとする。

【0054】

次に、図 7 (q) において、レジストマスク M7 を用いて第 2 導電性膜 81 をエッチングし、ソース／ドレイン電極 19 を形成する。エッチングは、RIE 法により塩素系のガスを用いて行う。

【0055】

次に、図 8 (r) において、第 2 層間絶縁膜 91 を形成する。第 2 絶縁膜 91 としては、透明かつ感光性を有した有機樹脂膜を用いる。

【0056】

次に、図 8 (s) において、画素トランジスタ (図 8 の例では、n チャンネルの

非高速動作TF T)のソース電極19Sにのみ、開口92を形成する。

【0057】

最後に、図8(t)において、第3導電性膜(不図示)をエッチングして画素電極25を形成し、薄膜トランジスタ基板が完成する。

【0058】

この方法では、従来と比較して、CWレーザ照射に適した膜厚の第2半導体(a-Si)膜21の成膜工程と、第2半導体膜21を所定の形状にするフォト工程およびエッチング工程を、それぞれ一回ずつ挿入するだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造することができる。なお、図4(e)に示す第2半導体(a-Si)膜21をドライエッチングする際に、すでに結晶化された第1半導体(Poly-Si)膜13'にダメージが入らないように、保護SiO₂膜14の膜厚や、エッチング条件を最適化するのが望ましい。

【0059】

図9は、第1実施形態の製造方法の変形例を示す。図9(a)～図9(d)までは、図4(a)～図4(d)と同様である。すなわち、ガラス基板10上に、CVD法により下地SiN膜11、下地SiO₂膜12、第1半導体(a-Si)膜13を、それぞれ50nm、200nm、40nmの膜厚に成膜し、エキシマレーザを用いて、第1半導体膜13を結晶化する(図9(a))。次に、保護SiO₂膜14を成膜し(図9(b))、高速動作を必要としないエキシマ結晶化領域のみを残すようにレジストマスクM1を形成し、保護SiO₂膜14と第1半導体膜13をエッチングする(図9(c))。レジストマスクM1を剥離し、第2半導体(a-Si)膜21を75nmに成膜する(図9(d))。

【0060】

次に、図9(e)において、第2半導体(a-Si)のベタ膜21上の高速動作TF T領域だけをCWレーザで選択的に照射して、ラテラル結晶化させる。このとき、下地の第1半導体膜(Poly-Si)13'を、位置合わせマークとすることができる。

【0061】

次に、図9（f）において、レジストマスクM2を用いて、高速動作TFT領域以外の第2半導体膜21と、第1半導体膜13'上の保護SiO₂膜14をエッチング除去して、素子分離を行う。その後は、図4（i）以降の工程と同様なので、図示と説明を省略する。

【0062】

この変形例の方法では、第2半導体（a-Si）膜21をパターンニングせずに、非晶質シリコン（a-Si）ベタ膜の一部領域にCWレーザを照射して、ラテラル結晶化する。したがって、図4～図8に示した製造方法よりも、フォトリソ工程およびエッチング工程を1回ずつ削減している。なお、s-Siベタ膜に対してCWレーザ照射する場合は、ラテラル結晶化のマージンを考慮して、ビームを最適化するのが望ましい。

＜第2実施形態＞

図10および図11は、本発明の第2実施形態に係る薄膜トランジスタ基板の製造工程を示す図である。第2実施形態では、まず第1の厚い半導体（a-Si）膜を高速動作TFT領域の形状にパターンニングし、その上に第2の薄い半導体（a-Si）膜を全面に形成する。エキシマレーザ照射により第2の薄い半導体膜を結晶化した後で、非高速動作TFT領域（エキシマ結晶化領域）以外の第2半導体膜を除去し、露出した第1の厚い半導体（a-Si）膜の所定の領域にのみCWレーザ照射してラテラル結晶化を行う。以下、図面を参照して、具体的に説明する。

【0063】

まず、図10（a）において、ガラス基板10上に、CVD装置を用い、下地SiN膜11、下地SiO₂膜12、第1半導体（a-Si）膜13を、それぞれ50nm、200nm、75nmに成膜する。

【0064】

次に、図10（b）において、高速動作を必要とするTFT領域のみを残すようにレジストをパターンニングし、これをマスクM1として第1半導体膜13をエッチングする。エッチングは、例えばRIE装置を用い、フッ素系ガスを供給して行う。

【0065】

次に、図 10 (c) において、全面に保護 SiO₂ 膜 20 と、第 2 半導体 (a-Si) 膜 21 を順次形成する。たとえば、CVD 法により、SiO₂ 膜 20 を 20 nm の膜厚に、第 2 半導体 (a-Si) 膜 21 を 40 nm の膜厚に成膜する。

【0066】

次に、図 10 (d) において、エキシマレーザを照射して、薄い第 2 半導体膜 21 を結晶化する。

【0067】

次に、図 11 (e) において、高速動作を必要としない TFT 領域を残すようにレジストマスクをパターニングし、これをマスク M2 として、第 2 半導体 (Poly-Si) 膜 21' および保護 SiO₂ 膜 20 をエッチング除去する。第 2 半導体膜 21 のエッチングは、例えば、RIE 法によりフッ素系ガスで行う。保護 SiO₂ 膜 20 は、希フッ酸でエッチングする。これにより、先にパターニングした厚い第 1 半導体膜 13 が露出する。

【0068】

次に、図 11 (f) において、レジストマスク M2 を除去し、高速動作が必要な TFT 領域にのみ CW レーザを照射して、第 1 半導体膜 13 のパターンをラテラル結晶化させる。

【0069】

次に、図 11 (g) において、素子分離を行うために半導体膜 13' をエッチングする。この時点で、非高速動作 TFT 領域に薄い半導体膜 17a が残り、高速動作 TFT 領域に厚い半導体膜 17b が形成される。

【0070】

以後は、図 5 (h) 以降に示す第 1 実施形態の製造方法と同様にして、薄膜トランジスタ基板が作製される。

【0071】

図 10、11 に示す第 2 実施形態の方法もまた、従来方法に比較して、1 回の非晶質シリコン (a-Si) 成膜工程と、フォトリソ工程、エッチング工程を増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造することができる。また、第 2 実施形態の方法では、低速動作 TFT のチャ

ネル領域へのダメージを懸念する必要がない。

【0072】

図12および図13は、第2実施形態の変形例に係る製造工程図である。

【0073】

まず図12(a)において、ガラス基板10上に、CVD法により、下地SiN膜11、下地SiO₂膜12、第1半導体(a-Si)膜13、保護SiO₂膜14をそれぞれ50nm、200nm、75nm、20nmに成膜する。

【0074】

次に、図12(b)において、高速動作を必要とするTFT領域のみを残すようにレジストをパターニングし、これをマスクM1として、保護SiO₂膜14と第1半導体膜13をエッチングする。エッチングは、例えばRIE装置を用いフッ素系ガスを供給して行う。

【0075】

次に、図12(c)において、CVD法などにより、第2の薄い半導体(a-Si)膜21を膜厚40nmで、全面に形成する。

【0076】

次に、図12(d)において、エキシマレーザを照射して、薄い第2半導体膜21を結晶化する。

【0077】

次に、図13(e)において、高速動作を必要としないTFT領域を残すようにレジストマスクをパターニングし、レジストをマスクM2として薄い第2半導体膜21と、保護SiO₂膜20をエッチング除去する。具体的には、第2半導体膜21を、例えば、RIE装置を用いフッ素系ガスでエッチングし、その後、保護SiO₂膜20を希フッ酸でエッチングする。これにより、厚い第1半導体膜13のパターンが露出する。

【0078】

次に、図13(f)において、レジストマスクM2を除去し、第1半導体膜13のパターンにのみCWレーザを選択的に照射して、ラテラル結晶化させる。

【0079】

次に、図13 (g)において、レジストマスクM3を用いて結晶化された半導体 (Poly-Si) 膜13'、21'をエッチングして素子分離を行う。これにより、非高速動作TF T領域に薄い活性層17aが、高速動作TF T領域に厚い活性層17bが形成される。

【0080】

以後の工程は、第1実施形態と同様であるため、図示および説明を省略する。

【0081】

この変形例の方法も、従来よりも1回のa-Si膜成膜工程、フォトリソ工程、エッチング工程を増加させるだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造できる。

<第3実施形態>

図14は、本発明の第3実施形態に係る薄膜トランジスタ基板の製造工程図である。第3実施形態では、まず厚い半導体膜を形成し、高速動作TF T領域にのみCWレーザを照射してラテラル結晶化する。次に薄い半導体膜を形成し、エキシマレーザ照射により結晶化して、非高速動作TF T領域の形状にパターニングする。

【0082】

図14 (a)において、CVD法により、ガラス基板10上に下地SiN膜11、下地SiO₂膜12、厚い第1の半導体 (a-Si) 膜13をそれぞれ50nm、200nm、75nmで成膜する。

【0083】

次に、図14 (b)において、高速動作が必要なTF T領域のみをCWレーザで照射し、この領域の非晶質シリコン (a-Si) 膜13をラテラル結晶化させる。

【0084】

次に、図14 (c)において、CWレーザ照射を行った高速動作TF T領域を残すようにレジストをパターニングし、これをマスクM1として第1の半導体膜13をエッチングする。エッチングは、例えば、RIE装置を用いフッ素系ガスで行う。これにより、ラテラル結晶化され、所定形状にパターニングされた第1半導体 (Poly-Si) 膜13'が残る。

【0085】

次に、図14（d）において、保護SiO₂膜20と、薄い第2半導体膜21を全面に形成する。例えば、CVD法により、保護SiO₂膜20と第2半導体膜21を、それぞれ20nm、40nmに成膜する。

【0086】

次に、図14（e）において、エキシマレーザを照射し、第2半導体膜を結晶化する。

【0087】

次に、図14（f）において、高速動作を必要としないTF_T領域を残すようにレジストマスクをパターニングし、これをマスクM2として、結晶化された第2半導体膜21'と保護SiO₂膜20をエッチング除去して素子分離を行う。第2半導体膜21'は、例えば、RIE装置を用いフッ素系ガスでエッチングし、その後、保護SiO₂膜20を希フッ酸でエッチングする。これにより、非高速動作TF_T領域に薄い半導体膜17aが残り、高速動作TF_T領域に厚い半導体膜17bが残る。

【0088】

以後の工程については、第1実施形態における図5（h）以降の製造方法と同様にして、薄膜トランジスタ基板を形成すればよい。

【0089】

第3実施形態の方法もまた、従来の技術と比較して、a-Si膜成膜工程、フォト工程、エッチング工程を1回ずつ増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造することができる。

【0090】

また、第3実施形態の方法は、a-Siベタ膜に対しCWレーザを照射するので、第2実施形態の製造方法と比較して、パターニングのためのフォト工程とエッチング工程を、1回ずつ削減している。a-Siベタ膜に対するCWレーザ照射の際には、ラテラル結晶化のマージンを考慮して、ビームを最適化するのが望ましい。

【0091】

図15および図16は、第3実施形態の変形例の製造工程図である。

【0092】

まず、図15(a)において、CVD法により、ガラス基板10上に下地SiN膜11、下地SiO₂膜12、厚い第1の半導体(a-Si)膜13をそれぞれ50nm、200nm、75nmで成膜する。

【0093】

次に、図15(b)において、高速動作が必要なTF_T領域のみをCWレーザで照射し、この領域の非晶質シリコン(a-Si)膜13をラテラル結晶化させる。

【0094】

次に、図15(c)において、CVD法により、膜厚20nmの保護SiO₂膜14を全面に形成する。

【0095】

次に、図15(d)において、高速動作を必要とするTF_T領域を残すようにレジストをパターンニングし、これをマスクM1として保護SiO₂膜14と、第1半導体膜13をエッチングする。例えば、RIE装置を用いフッ素系ガスでSiO₂膜14および第1半導体膜13をエッチングする。

【0096】

次に、図16(e)において、CVD法により、薄い第2の半導体(a-Si)膜21を膜厚40nmに成膜する。

【0097】

次に、図16(f)において、エキシマレーザ照射により、第2半導体膜を結晶化する。

【0098】

次に、図16(g)において、高速動作を必要としないTF_T領域を残すようにレジストマスクをパターンニングし、これをマスクM2として、結晶化された第2半導体膜21'と保護SiO₂膜14をエッチング除去する。例えば、RIE装置を用い、フッ素系ガスで第2半導体(Poly-Si)膜21'をエッチングした後、高速動作TF_T領域の第1半導体膜上に残るSiO₂膜14を希フッ酸でエッチングする。これにより、非高速動作TF_T領域に薄い半導体膜17aが残り、高速動作TF_T領域に厚い半導体膜17bが残る。

【0099】

以後は、第1実施形態の工程と同様にして、薄膜トランジスタ基板が形成される。この変形例の方法もまた、従来の方法と比較して、a-Si膜成膜工程、フォト工程、エッチング工程を1回ずつ増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造できる。また、厚い半導体(a-Si)膜をパターニングせずに、a-Siベタ膜に対しCWレーザを照射するので、第2実施形態の製造方法に比べて、フォト工程、エッチング工程を1回ずつ削減できる。a-Siベタ膜に対する選択的なCWレーザ照射の際には、ラテラル結晶化のマージンを考慮して、ビームを最適化するのが望ましい。

<第4実施形態>

図17は、第4実施形態に係る薄膜トランジスタ基板の製造工程を示す図である。第4実施形態では、高速動作を必要とするTF T領域にのみ、所定の膜厚の半導体膜を形成する。引き続き、全面に薄い半導体膜を形成し、全面をエキシマレーザで照射する。次いで、高速動作を必要とするTF T領域にのみ、CWレーザ照射してラテラル結晶化する。その後、各TF T領域の形状にパターニングする。以下、図面を参照して具体的な工程を説明する。

【0100】

まず、図17(a)において、ガラス基板10上に、CVD法により、下地SiN膜11、下地SiO₂膜12、第1半導体(a-Si)膜13を、それぞれ膜厚50nm、200nm、35nmに成膜する。

【0101】

次に、図17(b)において、高速動作が必要なTF T領域のみを残すようにレジストをパターニングし、これをマスクM1として第1半導体(a-Si)膜13を高速動作TF T領域の形状にエッチングする。エッチングは、例えばRIE装置でフッ素系ガスを用いて行う。

【0102】

次に、図17(c)において、CVD法により、膜厚40nmの第2半導体膜21を全面に成膜し、エキシマレーザで照射する。

【0103】

次に、図17(d)において、高速動作が必要なTF T領域にのみ、CWレーザで選択的に照射し、高速動作TF T領域の非晶質シリコン(a-Si)膜をラテラル結晶化させる。

【0104】

次に、図17(e)において、TF T領域のみ残すようにレジストをパターニングし、これをマスクM2として半導体膜をエッチングして素子分離を行う。エッチングは、例えばRIE装置を用いフッ素系ガスを供給して行う。

【0105】

以後の工程については第1実施形態の製造工程と同様であり、図示および説明を省略する。

【0106】

第4実施形態の方法は、従来よりも1回のa-Si膜成膜工程を増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造することができる。

<第5実施形態>

図18～図22は、本発明の第5実施形態に係る薄膜トランジスタ基板の製造工程を示す図である。第5実施形態では、薄い第1半導体膜を形成して全面エキシマ結晶化した後、シリコン酸化膜を介して厚い第2半導体膜を形成し、高速動作TF T領域のみで第2半導体膜を選択的にCWレーザ照射してラテラル結晶化する。以下、図面を参照して具体的な工程を説明する。

【0107】

まず、図18(a)において、CVD法により、ガラス基板10上に、下地SiN膜11、下地SiO₂膜12、第1の薄い半導体(a-Si)膜13をそれぞれ膜厚50nm、200nm、40nmで成膜し、エキシマレーザを用いて第1半導体膜13を結晶化する。

【0108】

次に、図18(b)において、CVD法により、第2の下地SiO₂膜23と、第2の厚い半導体(a-Si)膜21を、それぞれ膜厚100nmと75nmで成膜する。

【0109】

次に、図18(c)において、高速動作を必要とするTF T領域のみを残すようにレジストをパターニングし、これをマスクM1として、第2半導体膜21と第2下地SiO₂膜23をエッチング除去する。エッチングは、例えばRIE装置を用いフッ素系ガスを供給して行う。

【0110】

次に、図18(d)において、高速動作TF T領域に残る第2半導体膜21にのみCWレーザを選択的に照射して、非晶質シリコン(a-Si)をラテラル結晶化させる。

【0111】

次に、図19(e)において、レジストマスクM2を用いて、結晶化された半導体(Poly-Si)膜13'および21'をエッチングし、素子分離を行う。これにより、非高速動作TF T領域において、第1下地SiO₂膜12上に薄い半導体膜17aが残り、高速動作TF T領域において、第2下地SiO₂膜23上に厚い半導体膜17bが残る。

【0112】

次に、図19(f)において、ゲート絶縁膜41と、第1導電性膜42を順次形成する。ゲート絶縁膜41としては、例えばCVD法によりSiO₂膜を50nmに成膜し、その後、第1導電性膜42として、スパッタ装置でAl-Nd膜を300nmに成膜する。

【0113】

次に、図19(g)において、レジストをゲート電極形状にパターニングし、これをマスクM3として第1導電性膜42をウェットエッチングする。

【0114】

次に、図19(h)において、ゲート酸化膜41を介して形成されたゲート電極22をマスクとして、半導体層にP(リン)イオンを低濃度で注入する。注入条件は、例えばイオンドーピング装置を用い、エネルギー40KeV、ドーズ量 2×10^{13} とする。

【0115】

次に、図20(i)において、nチャネルの非高速動作TFTのLDD領域とpチャネルTFT領域をレジストマスクM4で覆い、露出した半導体膜中にP(リン)イオンを高濃度で注入する。注入条件は、例えば、イオンドーピング装置を用いエネルギー40KeV、ドーズ量 1×10^{15} とする。

【0116】

次に、図20(j)において、nチャネル領域をレジストマスクM5で覆い、pチャネル領域の半導体膜中にB(ボロン)イオンを高濃度で注入する。注入条件は、例えば、イオンドーピング装置を用い、エネルギー40KeV、ドーズ量 1×10^{15} とする。

【0117】

次に、図20(k)において、レジストマスクM5を剥離してから、エキシマレーザを基板全面に照射してレーザ活性化を行う。これにより、nチャネル非高速動作TFT領域のソース/ドレイン15およびLDD18ができる。一方、nチャネルの高速動作TFT領域とpチャネル領域では、LDD構造を有さず、ソース/ドレイン15が形成される。

【0118】

次に、図21(l)において、水素を含む層間絶縁膜71を成膜し、熱処理により水素化処理を行う。たとえば、CVD法により、シリコン窒化(SiN)膜を370nmに成膜した後、大気圧の窒素雰囲気中で350℃で2時間アニールする。なお、水素化処理方法としては、他に水素雰囲気アニールや、水素プラズマ処理等があり、それらを別に行えば層間絶縁膜として水素を含む膜である必要はない。

【0119】

次に、図21(m)において、レジストをマスクM6として、RIE法により層間絶縁(SiN)膜71とゲート絶縁膜(SiO₂)41をエッチングし、ソース/ドレイン15に到達するコンタクトホール37を形成する。

【0120】

次に、図21(n)において、第2導電性膜81を成膜する。例えば、スパッタ装置を用いTi/Al/Ti膜を、それぞれ50nm、200nm、100nm

mの膜厚で成膜する。

【0121】

次に、図21(0)において、レジストをマスクM7として第2導電性膜81をエッチングし、ソース／ドレイン電極19を形成する。第2導電性膜81のエッチングは、例えば、RIE装置で塩素系のガスを用いて行う。

【0122】

次に、図22(p)において、第2層間絶縁膜91を形成する。第2層間絶縁膜91は、例えば透明かつ感光性を有する有機樹脂膜である。

【0123】

次に、図22(q)において、画素トランジスタ(図22の例ではnチャネルの非高速動作TF T)のソース電極19Sにのみ開口92を形成する。

【0124】

最後に、図22(r)において、第2層間絶縁膜91上と、開口92内部に第3導電性膜101を成膜してから、所定の形状にパターニングして、画素トランジスタのソース電極19Sに接続される画素電極25を形成して、薄膜トランジスタ基板が完成する。

【0125】

第5実施形態の方法では、従来よりも1回のa-Si膜成膜工程を増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造できる。なお、第5実施形態では、高速動作が必要なTF Tの下方にエキシマ結晶化された多結晶シリコン(poly-Si)膜13'が薄く残存するが、画素領域ではないので、透過率の低下等の問題は生じない。また、図18(c)の工程で、第2半導体膜21をエッチングする際に、エッチング条件と第2SiO₂膜23の膜厚を最適化して、下方の第1半導体(poly-Si)膜13'へのダメージを防止するのが望ましい。

【0126】

図23は、第5実施形態の変形例に係る製造工程を示す図である。

【0127】

まず、図23(a)において、CVD法により、ガラス基板10上に、下地S

i N膜 11、下地 SiO₂ 膜 12、第1の薄い半導体 (a-Si) 膜 13をそれぞれ膜厚 50 nm、200 nm、40 nmで成膜し、エキシマレーザを用いて第1半導体膜 13を結晶化する。

【0128】

次に、図 23 (b) において、CVD法により、第2下地 SiO₂ 膜 23と、第2の厚い半導体 (a-Si) 膜 21を、それぞれ膜厚 100 nmと 75 nmで成膜し、高速動作が必要な TFT領域にのみ、CWレーザを選択的に照射してラテラル結晶化させる。

【0129】

次に、図 23 (c) において、レジストマスク M1を用いて、第2半導体膜 21と第2下地 SiO₂ 膜をエッチングする。エッチングは、例えば、RIE装置を用いフッ素系ガスで行う。これにより、薄い第1半導体 (Poly-Si) 膜 13'が露出する。

【0130】

次に、レジストマスク M2を用いて、結晶化された半導体 (Poly-Si) 膜 13'と 21'をエッチングし素子分離を行う。これにより、非高速動作 TFT領域で第1下地 SiO₂ 膜 12上に薄い半導体膜 17aが残り、高速動作 TFT領域で第2下地 SiO₂ 膜 23上に厚い半導体膜 17bが残る。

【0131】

以後は、図 19 (f) 以降に示した工程と同様である。この変形例では、従来の方法と比較して、1回のa-Si膜成膜工程を増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造できる。

【0132】

さらに、図 18に示した工程と比較して、第2半導体膜であるa-Siベタ膜に対しCWレーザを照射するので、フォトリソ工程、エッチング工程を1回ずつ削減できる。a-Siベタ膜に対してCWレーザを照射するときは、ラテラル結晶化のマージンを考慮して、ビームを最適化するのが望ましい。

<第6実施形態>

図 24～27は、本発明の第6実施形態に係る薄膜トランジスタ基板の製造工

程図である。第6実施形態では、第1の厚い半導体膜上に、絶縁膜を介して第2の薄い半導体膜を形成し、全面エキシマレーザ照射して第2半導体膜を結晶化する。その後、TF T領域をパターニングし、高速動作TF T領域の第1半導体膜のみを露出して、CWレーザ照射によりラテラル結晶化する。以下、図面を参照して具体的な工程を説明する。

【0133】

まず、図24 (a) において、ガラス基板10上に、下地Si N膜11、下地Si O₂ 膜12、第1半導体膜13、保護Si O₂ 膜14、第2半導体膜21を順次形成する。例えば、CVD法により、Si N膜11、Si O₂ 膜12、第1a-Si膜13、Si O₂ 膜14、第2a-Si膜21を、それぞれ膜厚50 nm、200 nm、75 nm、20 nm、40 nmに成膜する。成膜後、エキシマレーザにより薄い第2半導体膜21を結晶化する。

【0134】

次に、図24 (b) において、薄膜トランジスタ (TF T) 領域を残すようにレジストをパターニングし、これをマスクM1として、結晶化された第2半導体 (Poly-Si) 膜21'、保護Si O₂ 膜14、および第1半導体膜13をエッチング除去する。エッチングは、例えばRIE装置を用いフッ素系ガスで行う。

【0135】

次に、図24 (c) において、レジストマスクM2を用い、高速動作が必要なTF T領域上の第2半導体膜21'と保護Si O₂ 膜14を、フッ素系ガスを用いたRIE法によりエッチング除去する。これにより、高速動作TF T領域で厚い第1半導体膜13が露出する。

【0136】

次に、図24 (d) において、高速動作TF T領域の第2半導体 (a-Si) 膜13に、CWレーザを選択的に照射してラテラル結晶化させる。

【0137】

次に、図25 (e) において、レジストマスクM3を形成し、結晶化された半導体 (poly-Si) 膜をエッチングして素子分離を行う。

【0138】

次に、図25 (f) において、基板全面にゲート絶縁膜41と第1導電性膜42を形成する。例えば、ゲート絶縁膜41として、CVD装置でSiO₂膜を50nm成膜し、スパッタ装置でAl-Nd膜を300nm成膜する。

【0139】

次に、図25 (g) において、レジストをゲート電極形状にパターニングし、これをマスクM4として第1導電性膜42をウェットエッチングしてゲート電極22を形成する。

【0140】

次に、図25 (h) において、レジストマスクM4を剥離し、ゲート電極22をマスクとして、半導体膜中にP (リン) イオンを低濃度で注入する。注入条件は、例えば、イオンドーピング装置を用いエネルギー40KeV、ドーズ量 2×10^{13} とする。

【0141】

次に、図26 (i) において、nチャネルTFETのLDD領域と、pチャネルTFET領域をレジストマスクM5で覆い、露出している半導体膜中にP (リン) イオンを高濃度で注入する。注入条件は、例えば、イオンドーピング装置を用いて、エネルギー40KeV、ドーズ量 1×10^{15} とする。

【0142】

次に、図26 (j) において、nチャネルTFET領域をレジストマスクM6で覆い、pチャネル領域の半導体膜中にB (ボロン) イオンを高濃度で注入する。注入条件は、例えば、イオンドーピング装置を用い、エネルギー40KeV、ドーズ量 1×10^{15} とする。

【0143】

次に、図26 (k) において、レジストマスクM6を剥離してから、エキシマレーザを基板全面に照射し、レーザ活性化を行う。これにより、nチャネル非高速動作TFETの活性層に、LDD18とソース/ドレイン15が形成され、それ以外のTFETの活性層にLDD構造を有さないソース/ドレイン15が形成される。

【0144】

以降の工程については、第1実施形態で図7および図8に示す工程と同様であり、図示および説明を省略する。

【0145】

第6実施形態の方法では、従来に比較して、a-Si膜成膜工程、フォトリソ工程、エッチング工程をそれぞれ1回増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、生産性で製造することができる。また、第6実施形態の方法では、非高速動作TFTの下方に厚いa-Si膜13が残存し、遮光膜として機能するためオフリークを低減できる。また、図24(c)の工程で、高速動作TFT領域の第1半導体(a-Si)膜13上の保護SiO₂膜14をドライエッチングしても、その後のCWレーザ照射でラテラル結晶化するので、特性が劣化することもない。

<第7実施形態>

図27は、本発明の第7実施形態に係る薄膜トランジスタ基板の製造工程を示す図である。第7実施形態では、まず第1の厚い半導体層を形成してCWレーザの選択的照射により高速動作TFT領域のみをラテラル結晶化し、次いで、基板全面に第2の薄い半導体膜を形成してエキシマレーザ照射により結晶化する。その後、TFT領域をパターニングし、素子分離して高速動作TFT領域でラテラル結晶化された第1半導体膜を露出させる。

【0146】

まず、図27(a)において、ガラス基板10上に、CVD法により、下地SiN膜11、下地SiO₂膜12、厚い第1半導体(a-Si)膜13を、それぞれ膜厚50nm、200nm、75nmで成膜し、CWレーザを選択的に照射して高速動作が必要なTFT領域の非晶質シリコン膜をラテラル結晶化させる。

【0147】

次に、図27(b)において、第2下地SiO₂膜23と、薄い第2半導体(a-Si)膜21を、それぞれ20nm、40nmで基板全面に成膜する。

【0148】

次に、図27(c)において、第2半導体膜21をエキシマレーザの照射により結晶化する。

【0149】

次に、図27(d)において、TFT領域を区画するようにレジストをパターニングし、これをマスクM1として、RIE法によりフッ素系ガスで、不要な領域の2半導体膜21'、第2下地SiO₂膜23、第1半導体膜をエッチング除去する。

【0150】

次に、図27(e)において、高速動作が必要なTFT領域上の第2半導体膜21'と第2下地SiO₂膜23をエッチング除去する。例えば、レジストをマスクM2として、RIE装置を用いフッ素系ガスで第2半導体膜21'をエッチングし、希フッ酸で第2下地SiO₂膜23をエッチングする。

【0151】

第7実施形態の方法では、第1半導体膜13としての非晶質シリコン(a-Si)ベタ膜に対してCWレーザを照射する。したがって、第6実施形態の方法よりもフォトリソ工程、エッチング工程を1回削減している。非晶質シリコンベタ膜へのCWレーザ照射の際は、ラテラル結晶化のマージンを考慮して、ビームを最適化するのが望ましい。また、ラテラル結晶化された第1半導体膜13'を露出する際にダメージが入らないように、第2下地SiO₂膜23の膜厚とエッチング条件を最適化するのが望ましい。

<第8実施形態>

次に、第8実施形態について説明する。第8実施形態では、高速動作TFT領域と非高速動作TFT領域の活性層(半導体膜)の膜厚は同じであるが、結晶化方法を異ならせることによって平均結晶粒径を異ならせ、さらに、それぞれのTFT領域のゲート絶縁膜の膜厚も異ならせる。具体的な工程を図28～図30を参照して説明する。

【0152】

まず、図28(a)において、CVD法により、ガラス基板10上に、下地SiN膜11、下地SiO₂膜12、非晶質シリコン(a-Si)の半導体膜13を、それぞれ膜厚50nm、200nm、50nmに成膜し、エキシマレーザを照射して第1半導体膜13を結晶化する。

【0153】

次に、図28(b)において、薄膜トランジスタ(TFT)領域のみを残すようにレジストをパターンニングし、これをマスクM1として結晶化された半導体(Poly-Si)膜13'をエッチングする。エッチングは、例えば、RIE装置を用いフッ素系ガスを供給して行う。

【0154】

次に、図28(c)において、CVD法により、基板全面に第1ゲート絶縁膜41として、膜厚80nmのSiO₂膜を形成する。

【0155】

次に、図28(d)において、高速動作を必要としないTFT領域において、少なくともチャネル領域とLDDを含む領域をレジストで覆い、これをマスクM2とし、第1ゲート絶縁膜41をエッチング除去する。エッチングは、フッ素系ガスを用いたRIE法により行う。これにより、非高速動作TFT領域の半導体膜13'上にのみ、第1ゲート絶縁膜45が残る。

【0156】

次に、図28(e)において、高速動作が必要なTFT領域の半導体膜13'に対してのみCWレーザを選択的に照射して、ラテラル結晶化させる。

【0157】

次に、図29(f)において、レジストをマスクM3として、半導体(Poly-Si)膜13'、13''をエッチングして素子分離を行う。これにより、非高速動作TFT領域には、エキシマレーザ照射により平均結晶粒径が1μm未満の半導体膜17aが形成され、高速動作TFT領域には、CWレーザ照射によりラテラル結晶化された平均結晶粒径が1μm以上の半導体膜17bが形成される。

【0158】

次に、図29(g)において、基板全面に第2ゲート絶縁膜(SiO₂膜)43と第1導電性膜42を順次形成する。例えば、CVD装置でSiO₂膜43を30nm成膜し、次いで、スパッタ装置でAl-Nd膜43を300nm成膜する。

【0159】

次に、図 29 (h) において、レジストをゲート電極形状にパターンニングしてマスク M5 とし、第 1 導電性膜 42 をウェットエッチングして、ゲート電極 22 を形成する。

【0160】

次に、図 29 (i) において、p チャネル領域をレジストマスク M5 で覆い、ゲート電極 22 をマスクとして、露出した半導体膜中に P (リン) イオンを注入する。例えばイオンドーピング装置を用い、エネルギー 40 KeV、ドーズ量 1×10^{15} の P イオンを注入するとともに、エネルギー 90 KeV、ドーズ量 3×10^{13} で P イオンを注入する。

【0161】

次に、図 30 (j) において、n チャネル領域をレジストマスク M6 で覆い、露出した半導体膜中に B (ボロン) イオンを注入する。注入条件は、例えばイオンドーピング装置を用い、エネルギー 40 KeV、ドーズ量 1×10^{15} で注入するとともに、エネルギー 70 KeV、ドーズ量 2×10^{14} で注入する。

【0162】

次に、図 30 (k) において、レジストマスク M6 を剥離してから、エキシマレーザを基板全面に照射してレーザ活性化を行う。これにより、非高速動作 TFT 領域の活性層では、第 1 ゲート絶縁膜 45 を境界として、LDD 18 とソース／ドレイン 15 が形成される。一方、高速動作 TFT 領域の活性層には、ソース／ドレイン 15 が形成される。ゲート直下はチャネル領域 16 となっている。

【0163】

次に、図 30 (l) において、水素を含む層間絶縁膜 71 を形成し、熱処理により水素化処理を行う。例えば CVD 装置で SiN 膜を 370 nm 成膜した後、大気圧の窒素雰囲気中で、350℃で2時間アニールして水素化処理を行う。

【0164】

次に、図 30 (m) において、レジストをマスク M7 として、RIE 法により層間絶縁膜 71 と第 2 ゲート絶縁膜 43 をエッチングして、ソース／ドレイン 15 に到達するコンタクトホール 37 を形成する。

【0165】

以降の工程については、第1実施形態で図7（p）以降に示した工程と同様であり、図示および説明を省略する。

【0166】

この方法では、従来の方法に比較して、ゲート酸化膜（ SiO_2 ）膜の成膜工程を1回増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造することができる。また、高速動作を必要とするTFETのゲート絶縁膜の膜厚を従来よりも薄くし、高速動作TFETの駆動電圧を従来よりも低く設定することによって耐圧が向上する。さらに、図28（d）の工程で、非高速動作TFET領域にのみ残るように第1ゲート絶縁膜41をドライエッチングしても、高速動作TFET領域に露出した半導体膜をその後のCWレーザーでラテラル結晶化するので、特性が劣化することもない。

【0167】

図31は、第8実施形態の製造工程の変形例を示す。

【0168】

まず、図31（a）において、CVD法により、ガラス基板10上に、下地 SiN 膜11、下地 SiO_2 膜12、半導体（a-Si）膜13を、それぞれ膜厚50nm、200nm、50nmで成膜し、エキシマレーザーを基板全面に照射して結晶化する。

【0169】

次に、図31（b）において、CWレーザーを高速動作が必要なTFET領域にのみ選択的に照射して、この部分の半導体膜13をラテラル結晶化させる。

【0170】

次に、図31（c）において、TFET領域を区画するようにレジストをパターニングし、これをマスクM1として、結晶化された半導体膜をエッチングする。エッチングは、たとえばRIE法によりフッ素系ガスで行う。これにより、膜厚が同じであるが、平均結晶粒径の異なる半導体膜17a、17bが、それぞれ非高速動作TFET領域と、高速動作TFET領域に形成される。

【0171】

次に、図31（d）において、基板全面に第1ゲート絶縁膜41を形成する。

第1ゲート絶縁膜41は、例えばCVD法により膜厚80nmに形成したSiO₂膜である。

【0172】

次に、図31(e)において、高速動作を要しないTF₁T領域のうち、少なくともLDDとチャネル領域を含む領域をレジストで覆い、これをマスクM2として第1ゲート絶縁膜41をエッチングする。エッチングは、例えばRIE装置でフッ素系ガスを用いて行う。これにより、非高速動作TF₂T領域の半導体膜17a上にのみ、第1ゲート絶縁膜45が残る。

【0173】

以降の工程は、図29(g)以降に示す工程と同様である。この変形例の方法では、非晶質シリコン(a-Si)ベタ膜に対してCWレーザを照射するので、図28～図30に示した方法よりもフォト工程と、エッチング工程を1回ずつ削減している。非晶質シリコン(a-Si)ベタ膜に対するCWレーザ照射の際には、ラテラル結晶化のマージンを考慮して、ビームを最適化するのが望ましい。が狭いため注意を要する。また、第1ゲート絶縁膜41のエッチング時に、エッチング条件を最適化して、結晶化された半導体膜へのダメージを抑制するのが望ましい。

<第9実施形態>

次に、第9実施形態について説明する。第9実施形態では、高速動作TF₁T領域と非高速動作TF₂T領域で、活性層(半導体層)の膜厚を変え、レーザ照射方法を異ならせて平均結晶粒径を異ならせるとともに、ゲート絶縁膜の膜厚もそれぞれの領域で異ならせる。

【0174】

図32～図35は、第9実施形態に係る薄膜トランジスタ基板の製造工程を示す図である。

【0175】

まず、図32(a)において、CVD法により、ガラス基板10上に下地SiN膜11、下地SiO₂膜12、第1半導体(a-Si)13膜を、それぞれ膜厚50nm、200nm、40nmで成膜し、エキシマレーザを照射して第1半導体膜13を結晶化する。

【0176】

次に、図32(b)において、高速動作を必要としないTF T領域のみを残すようにレジストをパターニングし、これをマスクM1として第1半導体膜をエッチングする。エッチングは、例えばRIE装置でフッ素系ガスを用いて行う。

【0177】

次に、図32(c)において、基板全面に、第1ゲート絶縁膜41と、第2半導体膜21を順次形成する。例えば、CVD法によりSiO₂膜と非晶質シリコン(a-Si)膜を、それぞれ膜厚80nmと75nmで成膜する。

【0178】

次に、図32(d)において、高速動作を必要とするTF T領域を含むようにレジストをパターニングし、これをマスクM2として第2半導体膜21をエッチングする。エッチングは、RIE装置を用いフッ素系ガスで行う。これにより、高速動作TF T領域にのみ、第2半導体膜21が残る。

【0179】

次に、図32(e)において、高速動作が必要なTF T領域にある第2半導体膜21に、CWレーザを選択的に照射して、非晶質シリコンをラテラル結晶化させる。

【0180】

次に、図33(f)において、高速動作TF T領域の所定と、非高速動作TF T領域の所定箇所を覆うようにレジストマスクM3を形成し、結晶化された第2半導体膜21'をエッチング除去する。エッチングは、RIE法によりフッ素系ガスを用いて行う。これにより素子分離がなされ、高速動作TF T領域に厚い半導体膜17bが残る。

【0181】

さらに図33(g)に示すように、レジストマスクM3をそのまま使用して、第1ゲート絶縁膜41をフッ素系ガスでRIE法によりエッチングする。これにより、非高速動作TF T領域の薄い半導体膜17a上に、少なくともチャネルとLDDを含む領域を覆って第1ゲート絶縁膜41が形成される。

【0182】

次に、図 33 (h) において、基板全面に、第 2 ゲート絶縁膜 43 と第 1 導電性膜 42 を順次形成する。例えば、CVD 装置で SiO₂ 膜を 30 nm 成膜して第 2 ゲート絶縁膜 43 とした後、スパッタ装置で Al-Nd 膜を 300 nm 成膜して第 1 導電性膜 43 とする。

【0183】

次に、図 33 (i) において、レジストをゲート電極形状にパターニングし、これをマスク M4 として第 1 導電性膜 43 をウェットエッチングしてゲート電極 22 を形成する。

【0184】

次に、図 34 (j) において、p チャネル TFT 領域をレジストマスク M5 で覆い、n チャネル TFT 領域の半導体膜中に P (リン) イオンを注入する。注入条件は、例えばイオンドーピング装置を用い、エネルギー 40 KeV、ドーズ量 1×10^{15} で P イオンを注入するとともに、エネルギー 90 KeV、ドーズ量 2×10^{13} で P イオンを注入する。

【0185】

次に、図 34 (k) において、n チャネル TFT 領域をレジストマスク M6 で覆い、p チャネル TFT 領域の半導体膜中に B (ボロン) イオンを注入する。注入条件は、例えばイオンドーピング装置を用い、エネルギー 40 KeV、ドーズ量 1×10^{15} で B イオンを注入するとともに、エネルギー 70 KeV、ドーズ量 2×10^{14} で B イオンを注入する。

【0186】

次に、図 34 (l) において、レジストマスク M6 を剥離してから、エキシマレーザを基板全面に照射して、レーザ活性化を行う。これにより、厚いゲート絶縁膜を有する非高速動作 TFT 領域の活性層に、ソース／ドレイン 15 と LDD 18 が形成される。一方、薄いゲート絶縁膜を有する高速動作 TFT 領域の活性層には、ソース／ドレイン 15 が形成される。

【0187】

次に、図 35 (m) において、水素を含む層間絶縁膜 71 を形成し、熱処理により水素化処理を行う。例えば、CVD 装置で SiN 膜を 370 nm 成膜し、大

気圧の窒素雰囲気中で、350℃で2時間アニールする。水素化処理方法としては、他に水素雰囲気アニールや、水素プラズマ処理等があり、それらを別途行えば、層間絶縁膜71として水素を含む膜である必要はない。

【0188】

次に、図35(n)において、レジストをマスクM7として、RIE法により層間絶縁膜71と第2ゲート絶縁膜43をエッチングし、ソース/ドレイン15に到達するコンタクトホール37を形成する。

【0189】

次に、図35(o)において、レジストマスクM7を剥離して、基板全面に第2導電性膜81を形成する。第2導電性膜81は、スパッタ装置を用い、Ti/A1/Ti膜をそれぞれ50nm/200nm/100nmで成膜する。

【0190】

次に、図35(p)において、レジストをマスクM8として、第2導電性膜81をエッチングし、ソース/ドレイン電極19を形成する。第2導電性膜81は、RIE装置で塩素系のガスを用いてエッチングする。

【0191】

以降の工程については、第1実施形態で図8に示す工程と同様であり、図示および説明を省略する。

【0192】

第9実施形態の方法では、従来の方法に比較して、a-Si膜成膜工程、ゲートSiO₂膜成膜工程、フォトリソ工程、エッチング工程を1回ずつ増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造できる。また、高速動作を必要とするTFETのゲート絶縁膜を従来よりも薄くできるので、駆動電圧を従来よりも低く設定できる。この結果、耐圧が向上する。なお、ドライエッチングにより、結晶化された第1半導体(Poly-Si)膜がダメージを受けないように、第1ゲート絶縁膜41の膜厚と、エッチング条件を最適化するのが望ましい。

【0193】

図36～図38は、第9実施形態の変形例1の製造工程を示す図である。エキ

シマレーザ照射により第1半導体膜を結晶化し、厚い第1ゲート絶縁膜を介して形成した第2半導体膜にCWレーザを選択的に照射して結晶化する工程までは、図32(a)～図32(e)に示した工程と同様である。以下で、ゲート絶縁膜の膜厚これに引き続く工程を説明する。

【0194】

図36(f)において、高速動作TF T領域の所定の箇所にレジストマスクM3を形成し、結晶化された第2半導体膜をRIE法によりエッチングして素子分離を行う。エッチングガスにはフッ素系ガスを用いる。

【0195】

次に、図36(g)において、第2ゲート絶縁膜43と第1導電性膜42を順次形成する。例えば、CVD装置でSiO₂膜を30nm成膜し、その後スパッタ装置でAl-Nd膜を300nm成膜する。

【0196】

次に、図36(h)において、レジストをゲート電極形状にパターニングし、これをマスクM4として第1導電性膜42をウェットエッチングする。これによりゲート電極22が形成される。

【0197】

次に、図36(i)において、nチャネルTF TのLDD領域と、pチャネルTF T領域をレジストマスクM5で覆い、露出した領域の半導体膜中にP（リン）イオンを注入する。注入条件は、例えばイオンドーピング装置を用い、エネルギー40KeV、ドーズ量 1×10^{15} でPイオンを注入するとともに、90KeV、 1×10^{15} でPイオンを注入する。

【0198】

次に、図37(j)において、レジストマスクM5を剥離した後、低濃度でP（リン）イオンを注入する。例えば、イオンドーピング装置を用い。エネルギー90KeV、ドーズ量 2×10^{13} で注入する。

【0199】

次に、図37(k)において、nチャネルTF T領域をレジストマスクM6で覆い、pチャネルTF T領域の半導体膜中にB（ボロン）イオンを注入する。例

例えば、イオンドーピング装置を用い、エネルギー 40 KeV 、ドーズ量 1×10^{15} で B イオンを注入するとともに、 70 KeV 、 1×10^{15} で B イオンを注入する。

【0200】

次に、図 37 (1) において、レジストマスク M6 を剥離し、エキシマレーザを基板全面に照射して、レーザ活性化を行う。

【0201】

次に、図 38 (m) において、水素を含む層間絶縁膜 71 を形成し、熱処理により水素化処理を行う。例えば、CVD 装置で SiN 膜を 370 nm 成膜し、大気圧の窒素雰囲気中で、 350°C で 2 時間アニールする。水素化処理方法としては、他に水素雰囲気アニールや、水素プラズマ処理等があり、それらを別途行えば、層間絶縁膜 71 として水素を含む膜である必要はない。

【0202】

次に、図 38 (n) において、レジストをマスク M7 として、RIE 法により層間絶縁膜 71 と第 2 ゲート絶縁膜 43 をエッチングし、ソース／ドレイン 15 に到達するコンタクトホール 37 を形成する。

【0203】

次に、図 38 (o) において、レジストマスク M7 を剥離して、基板全面に第 2 導電性膜 81 を形成する。第 2 導電性膜 81 は、スパッタ装置を用い、Ti / Al / Ti 膜をそれぞれ 50 nm / 200 nm / 100 nm で成膜する。

【0204】

次に、図 38 (p) において、レジストをマスク M8 として、第 2 導電性膜 81 をエッチングし、ソース／ドレイン電極を形成する。第 2 導電性膜 81 は、RIE 装置で塩素系のガスを用いてエッチングする。

【0205】

以降の工程については、第 1 実施形態で図 8 に示す工程と同様であり、図示および説明を省略する。

【0206】

この変形例 1 の方法もまた、従来の方法と比較して、a-Si 膜成膜工程、ゲート

S i O₂ 膜成膜工程、フォトリソ工程、エッチング工程を1回ずつ増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造することができる。また、高速動作を必要とするTFTのゲート絶縁膜を従来よりも薄くすることができるので、駆動電圧を従来よりも低く設定でき、耐圧が向上する。なお、ドライエッチングにより、結晶化された第1半導体 (Poly-Si) 膜がダメージを受けないように、第1ゲート絶縁膜41の膜厚と、エッチング条件を最適化するのが望ましい。

【0207】

図39は、第9実施形態の変形例2に係る製造工程を示す。変形例2では、厚い第2半導体膜をパターニングすることなく、非晶質シリコンのベタ膜を選択的にCWレーザー照射する。

【0208】

まず、図39(a)において、CVD法により、ガラス基板10上に下地SiN膜11、下地SiO₂膜12、第1半導体(a-Si)13膜を、それぞれ膜厚50nm、200nm、40nmで成膜し、エキシマレーザーを照射して第1半導体膜13を結晶化する。

【0209】

次に、図39(b)において、高速動作を必要としないTFT領域のみを残すようにレジストをパターニングし、これをマスクM1として第1半導体膜をエッチングする。エッチングは、例えばRIE装置でフッ素系ガスを用いて行う。

【0210】

次に、図39(c)において、基板全面に、第1ゲート絶縁膜41と、第2半導体膜21を順次形成する。例えば、CVD法によりSiO₂膜と非晶質シリコン(a-Si)膜を、それぞれ膜厚80nmと75nmで成膜する。

【0211】

次に、図39(d)において、第2半導体膜21の高速動作TFT領域のみをCWレーザーで選択的に照射して、ラテラル結晶化する。

【0212】

次に、図39(e)において、レジストマスクM2を用い、第2半導体膜(a-

SiまたはPoly-Si) をエッチング除去して素子分離を行う。

【0213】

以後は、第9実施形態の変形例2で説明した図36 (g) 以降の工程と同様であり、図示および説明を省略する。

【0214】

変形例2では、非晶質シリコン (a-Si) のベタ膜に対してCWレーザを照射することにより、変形例1の製造方法と比較して、フォトリソ工程とエッチング工程を1回ずつ削減している。非晶質シリコン (a-Si) ベタ膜に対するCWレーザの照射の際には、ラテラル結晶化のマーヅンを考慮して、ビームを最適化するのが望ましい。

【0215】

図40～図43は、第9実施形態の変形例3を示す。変形例3では、非高速動作TFT領域の薄い活性層 (半導体膜) は、高速動作TFT領域の厚い活性層 (半導体膜) の上層に位置する。

【0216】

まず、図40 (a) において、ガラス基板10上に、下地SiN膜11、下地SiO₂膜12、第1半導体膜13、保護SiO₂膜14、第2半導体膜21を順次形成する。例えば、CVD法により、SiN膜11、SiO₂膜12、第1a-Si膜13、SiO₂膜14、第2a-Si膜21を、それぞれ膜厚50nm、200nm、75nm、20nm、40nmに成膜する。成膜後、エキシマレーザにより薄い第2半導体膜21を結晶化する。

【0217】

次に、図40 (b) において、薄膜トランジスタ (TFT) 領域を残すようにレジストをパターニングし、これをマスクM1として、結晶化された第2半導体 (Poly-Si) 膜21'、第2下地SiO₂膜23、および第1半導体膜13を、例えばRIE装置を用いフッ素系ガスでエッチング除去する。

【0218】

次に、図40 (c) において、基板全面に第1ゲート絶縁膜41を形成する。第1ゲート絶縁膜41として、例えば、CVD装置でSiO₂膜を80nm成膜

する。

【0219】

次に、図40（d）において、高速動作を必要としないTF T領域を覆うようにレジストをパターンニングし、これをマスクM2として第1ゲート絶縁膜41、第2半導体膜21'、第2下地SiO₂膜23をエッチング除去する。エッチングは、RIE装置を用いフッ素系ガスで第1ゲート絶縁（SiO₂）膜41と第2半導体（Poly-Si）膜をエッチングした後、希フッ酸で第2下地SiO₂膜23をエッチングする。これにより、高速動作TF T領域の厚い第1半導体膜13が露出する。

【0220】

次に、図40（e）において、CWレーザを選択的に照射して、高速動作が必要なTF T領域の第1半導体膜13をラテラル結晶化させる。

【0221】

次に、図41（f）において、TF T領域を覆うレジストマスクM3を形成してエッチングすることにより、素子分離を行う。これにより、高速動作TF T領域にCWレーザにより結晶化された厚い半導体層17bが形成される。一方、非高速動作TF T領域では、非晶質シリコン膜上にエキシマレーザにより結晶化された薄い半導体層17aが形成されている。

【0222】

次に、図41（g）において、第2ゲート絶縁膜43と第1導電性膜42を順次形成する。例えば、CVD装置でSiO₂膜を30nm成膜し、その後スパッタ装置でAl-Nd膜を300nm成膜する。

【0223】

次に、図41（h）において、レジストをゲート電極形状にパターンニングし、これをマスクM4として第1導電性膜42をウェットエッチングする。これによりゲート電極22が形成される。

【0224】

次に、図41（i）において、ゲート電極22をマスクとして、低濃度でP（リン）イオンを注入する。例えば、イオンドーピング装置を用い。エネルギー9

0 KeV、ドーズ量 2×10^{13} で注入する。

【0225】

次に、図42(j)において、nチャネルTFTのLDD領域と、pチャネルTFT領域をレジストマスクM5で覆い、露出した領域の半導体膜中にP(リン)イオンを注入する。注入条件は、例えばイオンドーピング装置を用い、エネルギー40 KeV、ドーズ量 1×10^{15} でBイオンを注入するとともに、90 KeV、 1×10^{15} でPイオンを注入する。

【0226】

次に、図42(k)において、nチャネルTFT領域をレジストマスクM6で覆い、pチャネルTFT領域の半導体膜中にB(ボロン)イオンを注入する。例えば、イオンドーピング装置を用い、エネルギー40 KeV、ドーズ量 1×10^{15} で注入するとともに、70 KeV、 1×10^{15} で注入する。

【0227】

次に、図42(l)において、レジストマスクM6を剥離し、エキシマレーザを基板全面に照射して、レーザ活性化を行う。

【0228】

次に、図43(m)において、水素を含む層間絶縁膜71を形成し、熱処理により水素化処理を行う。例えば、CVD装置でSiN膜を370 nm成膜し、大気圧の窒素雰囲気中で、350℃で2時間アニールする。水素化処理方法としては、他に水素雰囲気アニールや、水素プラズマ処理等があり、それらを別途行えば、層間絶縁膜71として水素を含む膜である必要はない。

【0229】

次に、図43(n)において、レジストをマスクM7として、RIE法により層間絶縁膜71と第2ゲート絶縁膜43をエッチングし、ソース/ドレイン15に到達するコンタクトホール37を形成する。

【0230】

次に、図43(o)において、レジストマスクM7を剥離して、基板全面に第2導電性膜81を形成する。第2導電性膜81は、スパッタ装置を用い、Ti/Al/Ti膜をそれぞれ50 nm/200 nm/100 nmで成膜する。

【0231】

次に、図43 (p) において、レジストをマスクM8として、第2導電性膜81をエッチングし、ソース／ドレイン電極19を形成する。第2導電性膜81はRIE装置で塩素系のガスを用いてエッチングする。

【0232】

以降の工程については、第1実施形態の図8に示す工程と同様であり、図示および説明を省略する。

【0233】

変形例3の方法においても、従来と比較してa-Si膜成膜工程、SiO₂膜成膜工程、フォトリソ工程、エッチング工程をそれぞれ1回増やすだけで、高速動作が可能な回路素子を有する薄膜トランジスタ基板を、高い生産性で製造することができる。また、高速動作を必要とするTFTのゲート絶縁膜の膜厚を従来よりも薄くできるので、駆動電圧を従来よりも低く設定できる。この結果、耐圧が向上する。また、第1ゲート絶縁膜41をエッチングした後に第1半導体膜をラテラル結晶化するため、エッチング時のダメージが問題とならない。

【0234】

最後に、以上の説明に関して、以下の付記を開示する。

(付記1) 透明絶縁基板と、

前記透明絶縁基板上に形成される第1薄膜トランジスタと、

前記透明絶縁基板上に形成される、前記第1薄膜トランジスタと異なる特性の第2薄膜トランジスタと

を備え、第1薄膜トランジスタの活性層の膜厚は50nm以上、その平均結晶粒径は1μm以上であり、第2薄膜トランジスタの活性層の膜厚は60nm以下、その平均粒径は1μm未満であることを特徴とする薄膜トランジスタ基板。

(付記2) 透明絶縁基板と、

前記透明絶縁基板上に形成される第1薄膜トランジスタと、

前記透明絶縁基板上に形成され、前記第1薄膜トランジスタと異なる特性の第2薄膜トランジスタと

を備え、前記第1薄膜トランジスタの活性層の平均結晶粒径は1μm以上、前記

第2薄膜トランジスタの活性層の平均結晶粒径は $1\mu\text{m}$ 未満であり、前記第1薄膜トランジスタのゲート絶縁膜の膜厚は、第2薄膜トランジスタのゲート絶縁膜の膜厚よりも薄いことを特徴とする薄膜トランジスタ基板。

(付記3) 前記第1薄膜トランジスタの活性層は、連続発振レーザの選択的照射によりラテラル結晶化された多結晶シリコンであることを特徴とする付記1または2に記載の薄膜トランジスタ基板。

(付記4) 前記第2薄膜トランジスタの活性層は、エキシマレーザの照射により結晶化された多結晶シリコンであることを特徴とする付記1または2に記載の薄膜トランジスタ基板。

(付記5) 前記第1薄膜トランジスタのゲート絶縁膜の膜厚は、前記第2薄膜トランジスタのゲート絶縁膜の膜厚よりも薄いことを特徴とする付記1に記載の薄膜トランジスタ基板。

(付記6) 前記第2薄膜トランジスタのゲート絶縁膜の膜厚は、 80nm 以上であることを特徴とする付記2または5に記載の薄膜トランジスタ基板。

(付記7) 透明絶縁基板上の第1領域に、エキシマレーザ照射により結晶化された第1の膜厚の第1半導体膜を形成する工程と、

前記透明絶縁基板上の第2領域に、連続発振レーザの照射によりラテラル結晶化された第2半導体膜を、第1半導体膜以上の膜厚で形成する工程と、

前記第1半導体膜に第1の薄膜トランジスタを形成する工程と、

前記第2半導体膜に、前記第1の薄膜トランジスタよりも高速で動作する第2の薄膜トランジスタを形成する工程と

を含むことを特徴とする薄膜トランジスタ基板の製造方法。

(付記8) 前記第2半導体膜の形成工程は、前記連続発振レーザにより、非晶質シリコン膜の所定の領域のみを選択的に照射する工程を含むことを特徴とする付記7に記載の薄膜トランジスタ基板の製造方法。

(付記9) 前記第2半導体膜の形成工程は、非晶質シリコン膜を所定の形状にパターニングして得られた領域のみを連続発振レーザで照射することを特徴とする付記8に記載の方法。

(付記10) 前記第2半導体膜の形成工程は、非晶質シリコンのベタ膜上の所

定の領域のみを連続発振レーザで照射することを特徴とする付記 8 に記載の方法。

(付記 11) 前記第 1 薄膜トランジスタの形成工程は、第 1 ゲート絶縁膜を形成する工程を含み、

前記第 2 薄膜トランジスタの形成工程は、前記第 1 ゲート絶縁膜よりも薄い第 2 ゲート絶縁膜を形成する工程を含むことを特徴とする付記 7 に記載の方法。

(付記 12) 透明絶縁基板上の第 1 領域に、エキシマレーザ照射により結晶化された第 1 半導体膜を形成する工程と、

前記透明絶縁基板上の第 2 領域に、連続発振レーザの照射によりラテラル結晶化された第 2 半導体膜を形成する工程と、

前記第 1 半導体膜に、第 1 のゲート絶縁膜を介して第 1 薄膜トランジスタを形成する工程と、

前記第 2 半導体膜に、前記第 1 のゲート絶縁膜よりも薄い第 2 のゲート絶縁膜を介して第 2 薄膜トランジスタを形成する工程と、
を含む薄膜トランジスタ基板の製造方法。

【0235】

【発明の効果】

以上述べたように、本発明によれば、高速動作が必要な領域のみを選択的に CWレーザ照射領域とする。それ以外の領域はエキシマレーザで結晶化するので、CWレーザ照射時間を大幅に短縮できる。

【0236】

また、高速動作領域の n チャネル TFT には LDD 構造を設けず、非高速動作の n チャネル TFT にのみ LDD 構造を設けたので、ソースドレイン間の耐圧を改善できる。

【0237】

また、画素トランジスタ等の非高速動作領域の活性層（半導体）膜厚を、高速動作領域の活性層よりも薄くして、画素領域でのオフリーク電流を低減できる。

【0238】

また、高速動作を必要とする TFT のゲート絶縁膜を薄くし、非高速動作 TF

T領域のゲート絶縁膜を厚くすることで、さらに耐圧を改善される。

【図面の簡単な説明】

【図1】 従来の薄膜トランジスタ基板の平面構成図である。

【図2】 本発明が適用される薄膜トランジスタ基板の平面構成図である。

【図3】 本発明の一実施形態に係る薄膜トランジスタ基板の断面構成を示す図である。

【図4】 本発明の第1実施形態に係る薄膜トランジスタ基板の製造工程図（その1）である。

【図5】 本発明の第1実施形態に係る薄膜トランジスタ基板の製造工程図（その2）であり、図4（e）に続く工程を示す図である。

【図6】 本発明の第1実施形態に係る薄膜トランジスタ基板の製造工程図（その3）であり、図5（i）に続く工程を示す図である。

【図7】 本発明の第1実施形態に係る薄膜トランジスタ基板の製造工程図（その4）であり、図6（m）に続く工程を示す図である。

【図8】 本発明の第1実施形態に係る薄膜トランジスタ基板の製造工程図（その5）であり、図7（q）に続く工程を示す図である。

【図9】 第1実施形態の製造方法の変形例を示す図である。

【図10】 本発明の第2実施形態に係る薄膜トランジスタ基板の製造工程図（その1）である。

【図11】 本発明の第2実施形態に係る薄膜トランジスタ基板の製造工程図（その2）であり、図11（d）に続く工程を示す図である。

【図12】 第2実施形態の製造方法の変形例を示す図（その1）である。

【図13】 第2実施形態の製造方法の変形例を示す図（その2）であり、図12（d）に続く工程を示す図である。

【図14】 本発明の第3実施形態に係る薄膜トランジスタ基板の製造工程図である。

【図15】 第3実施形態の製造方法の変形例を示す図（その1）である。

【図16】 第3実施形態の製造方法の変形例を示す図（その2）であり、図15（d）に引き続く工程を示す図である。

【図 17】 本発明の第 4 実施形態に係る薄膜トランジスタ基板の製造工程図である。

【図 18】 本発明の第 5 実施形態に係る薄膜トランジスタ基板の製造工程図（その 1）である。

【図 19】 本発明の第 5 実施形態に係る薄膜トランジスタ基板の製造工程図（その 2）であり、図 18（d）に続く工程を示す図である。

【図 20】 本発明の第 5 実施形態に係る薄膜トランジスタ基板の製造工程図（その 3）であり、図 19（h）に続く工程を示す図である。

【図 21】 本発明の第 5 実施形態に係る薄膜トランジスタ基板の製造工程図（その 4）であり、図 20（k）に続く工程を示す図である。

【図 22】 本発明の第 5 実施形態に係る薄膜トランジスタ基板の製造工程図（その 5）であり、図 21（o）に続く工程を示す図である。

【図 23】 第 5 実施形態の製造方法の変形例を示す図である。

【図 24】 本発明の第 6 実施形態に係る薄膜トランジスタ基板の製造工程図（その 1）である。

【図 25】 本発明の第 6 実施形態に係る薄膜トランジスタ基板の製造工程図（その 2）であり、図 24（d）に続く工程を示す図である。

【図 26】 本発明の第 6 実施形態に係る薄膜トランジスタ基板の製造工程図（その 3）であり、図 25（h）に続く工程を示す図である。

【図 27】 本発明の第 7 実施形態に係る薄膜トランジスタ基板の製造工程図である。

【図 28】 本発明の第 8 実施形態に係る薄膜トランジスタ基板の製造工程図（その 1）である。

【図 29】 本発明の第 8 実施形態に係る薄膜トランジスタ基板の製造工程図（その 2）であり、図 28（e）に続く工程を示す図である。

【図 30】 本発明の第 8 実施形態に係る薄膜トランジスタ基板の製造工程図（その 3）であり、図 29（i）に続く工程を示す図である。

【図 31】 第 8 実施形態の製造方法の変形例を示す図である。

【図 32】 本発明の第 9 実施形態に係る薄膜トランジスタ基板の製造工程

図（その１）である。

【図 3 3】 本発明の第 9 実施形態に係る薄膜トランジスタ基板の製造工程図（その 2）であり、図 3 2（e）に続く工程を示す図である。

【図 3 4】 本発明の第 9 実施形態に係る薄膜トランジスタ基板の製造工程図（その 3）であり、図 3 3（i）に続く工程を示す図である。

【図 3 5】 本発明の第 9 実施形態に係る薄膜トランジスタ基板の製造工程図（その 4）であり、図 3 4（1）に続く工程を示す図である。

【図 3 6】 第 9 実施形態の製造方法の変形例 1 を示す図（その 1）である。

【図 3 7】 第 9 実施形態の製造方法の変形例 1 を示す図（その 2）であり、図 3 6（i）に続く工程を示す図である。

【図 3 8】 第 9 実施形態の製造方法の変形例 1 を示す図（その 3）であり、図 3 7（1）に続く工程を示す図である。

【図 3 9】 第 9 実施形態の製造方法の変形例 2 を示す図である。

【図 4 0】 第 9 実施形態の製造方法の変形例 3 を示す図（その 1）である。

【図 4 1】 第 9 実施形態の製造方法の変形例 3 を示す図（その 2）であり、図 4 0（e）に続く工程を示す図である。

【図 4 2】 第 9 実施形態の製造方法の変形例 3 を示す図（その 3）であり、図 4 1（i）に続く工程を示す図である。

【図 4 3】 第 9 実施形態の製造方法の変形例 3 を示す図（その 4）であり、図 4 2（1）に続く工程を示す図である。

【符号の説明】

- 1、10 透明性絶縁基板（ガラス基板）
- 2 画素トランジスタ（薄膜トランジスタ）
- 3 画素領域
- 4 第 1 回路（高速動作回路）
- 5 第 2 回路（非高速動作回路）
- 6 コンタクト

7、25 画素電極（透明電極）

11 下地 SiN 膜

12 下地 SiO₂ 膜

13 第1半導体(a-Si)膜

14 保護 SiO₂ 膜

15 ソース／ドレイン

16 チャネル領域

17 a、17 b 活性層（半導体層）

18 LDD

19 ソース／ドレイン電極

20 保護 SiO₂ 膜

21 第2半導体 (a-Si) 膜

22 ゲート電極

23 第2下地 SiO₂ 膜

41、45 第1ゲート絶縁膜

42 第1導電性膜

43 第2ゲート絶縁膜

71 層間絶縁膜

81 第2導電性膜

91 感光性樹脂絶縁膜

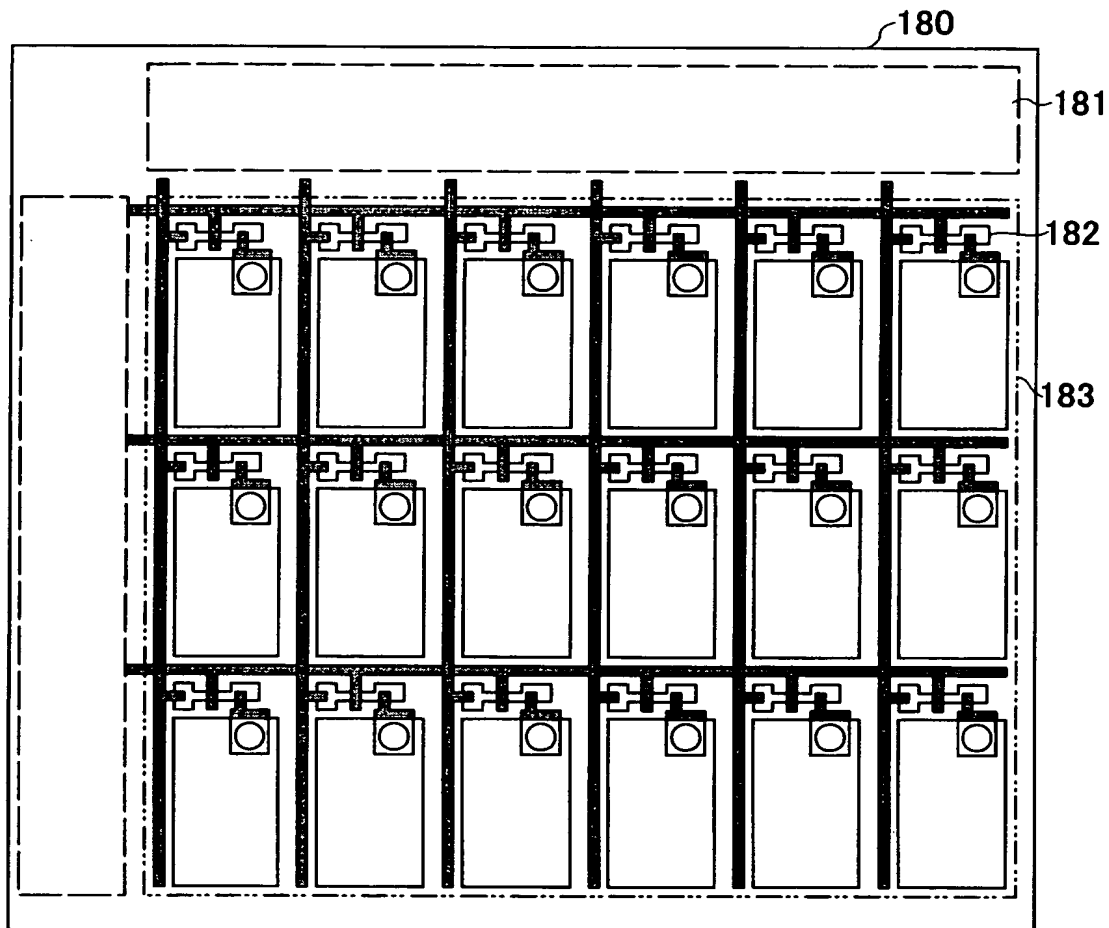
101 第3導電性膜

M1～M8 レジストマスク

【書類名】 図面

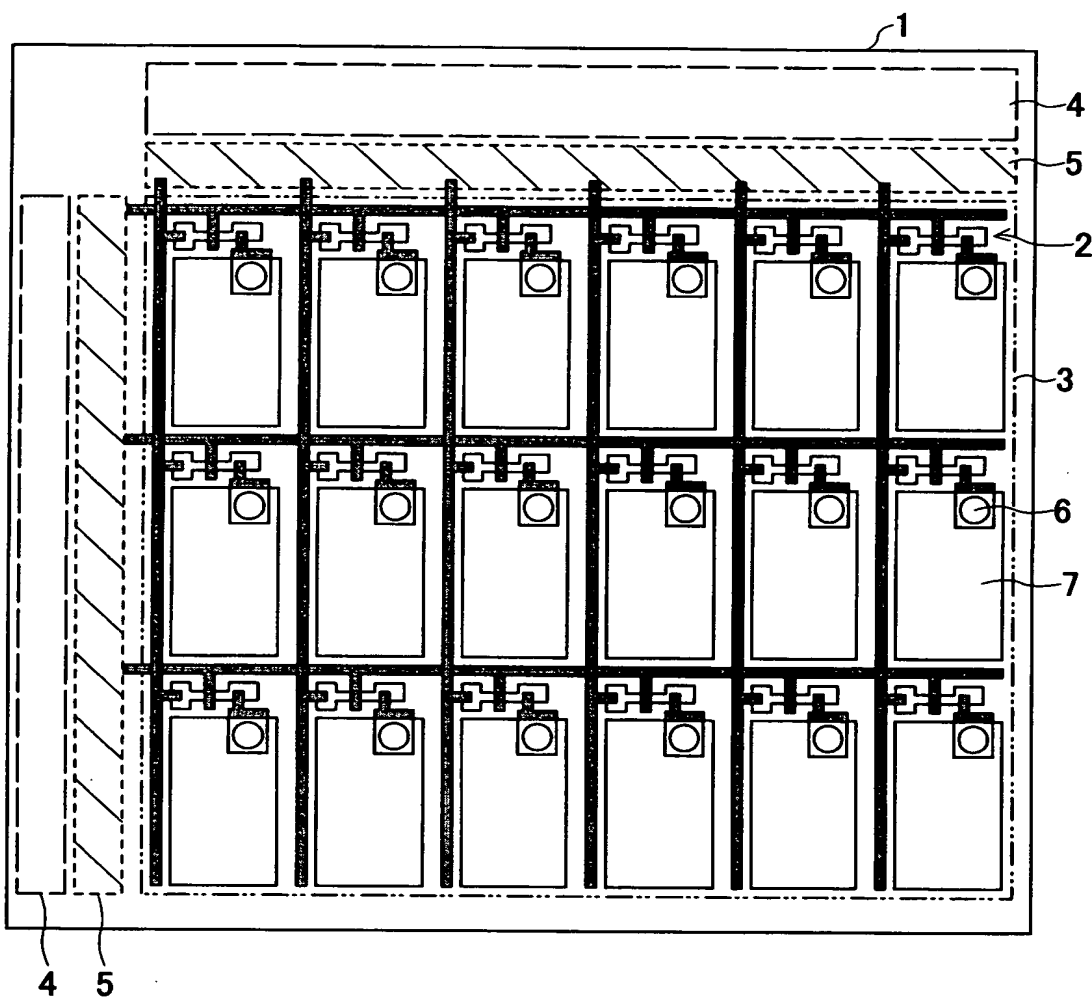
【図 1】

従来の薄膜トランジスタ基板



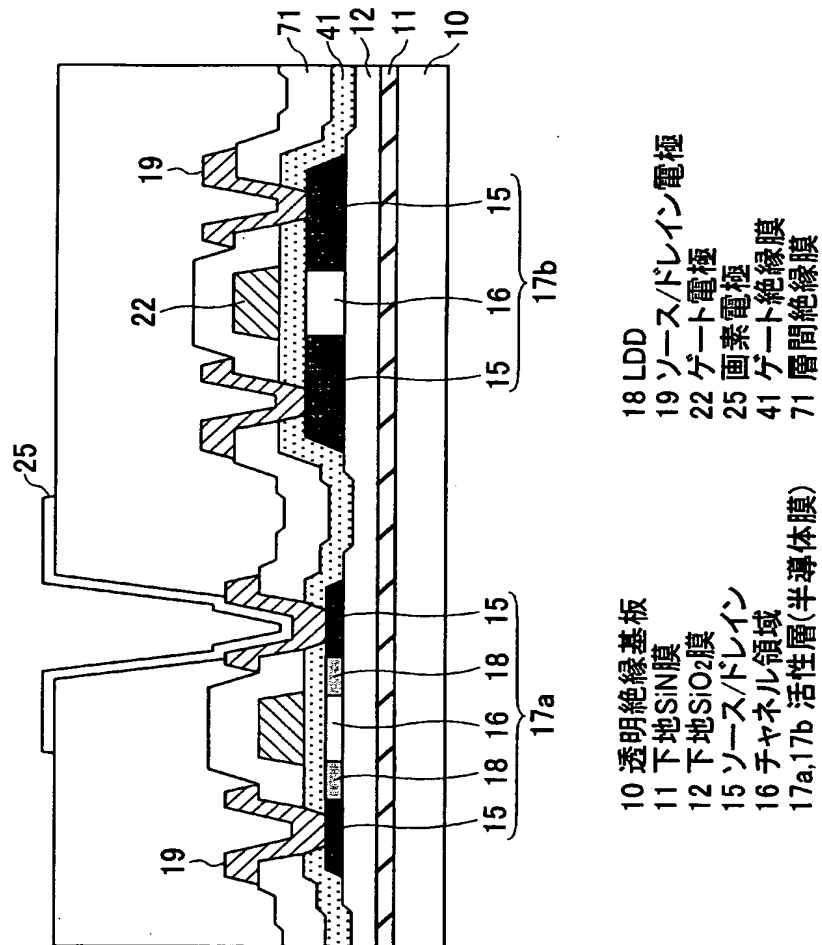
【図 2】

本発明の薄膜トランジスタ基板



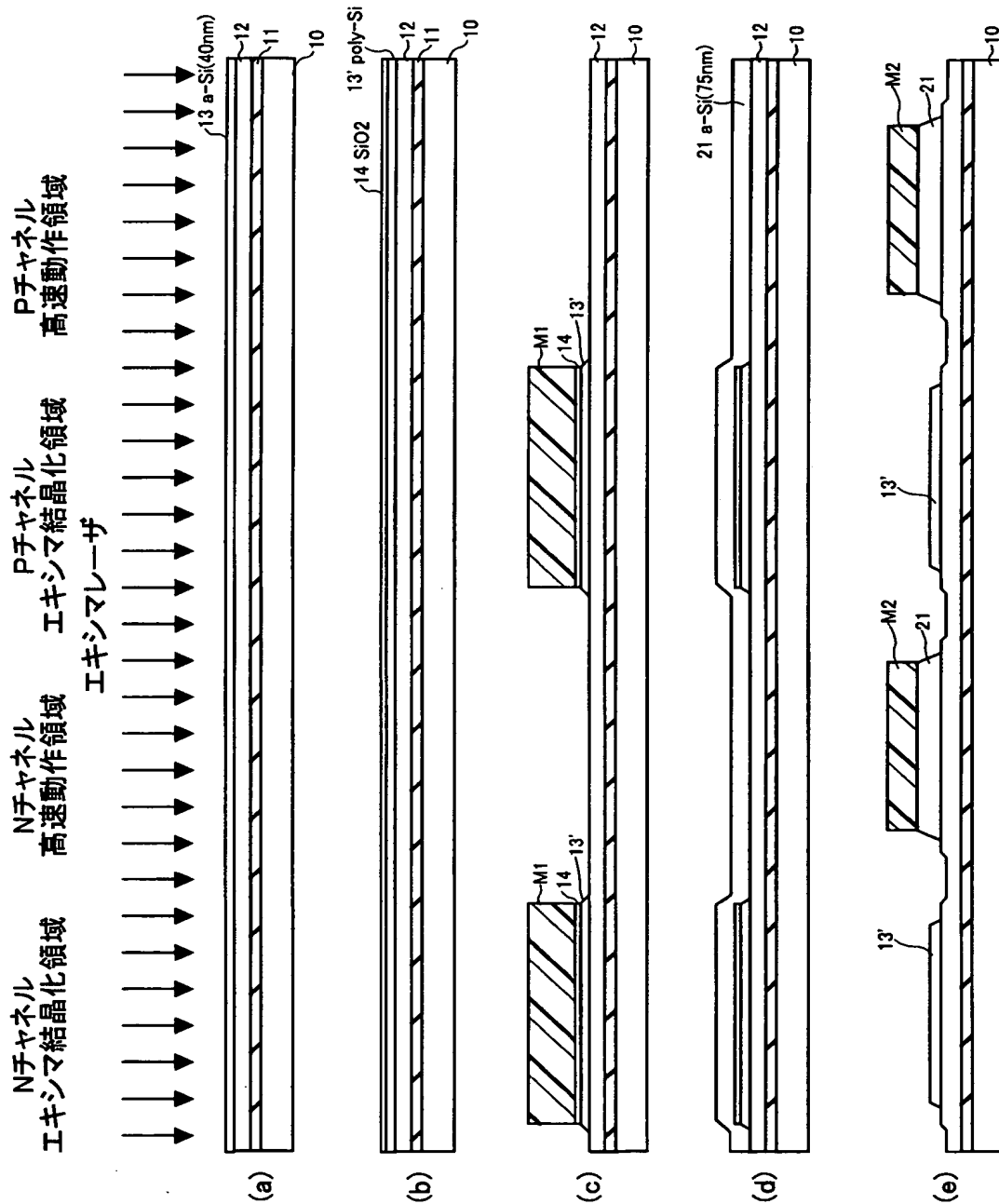
【図 3】

本発明の薄膜トランジスタ基板の断面構造



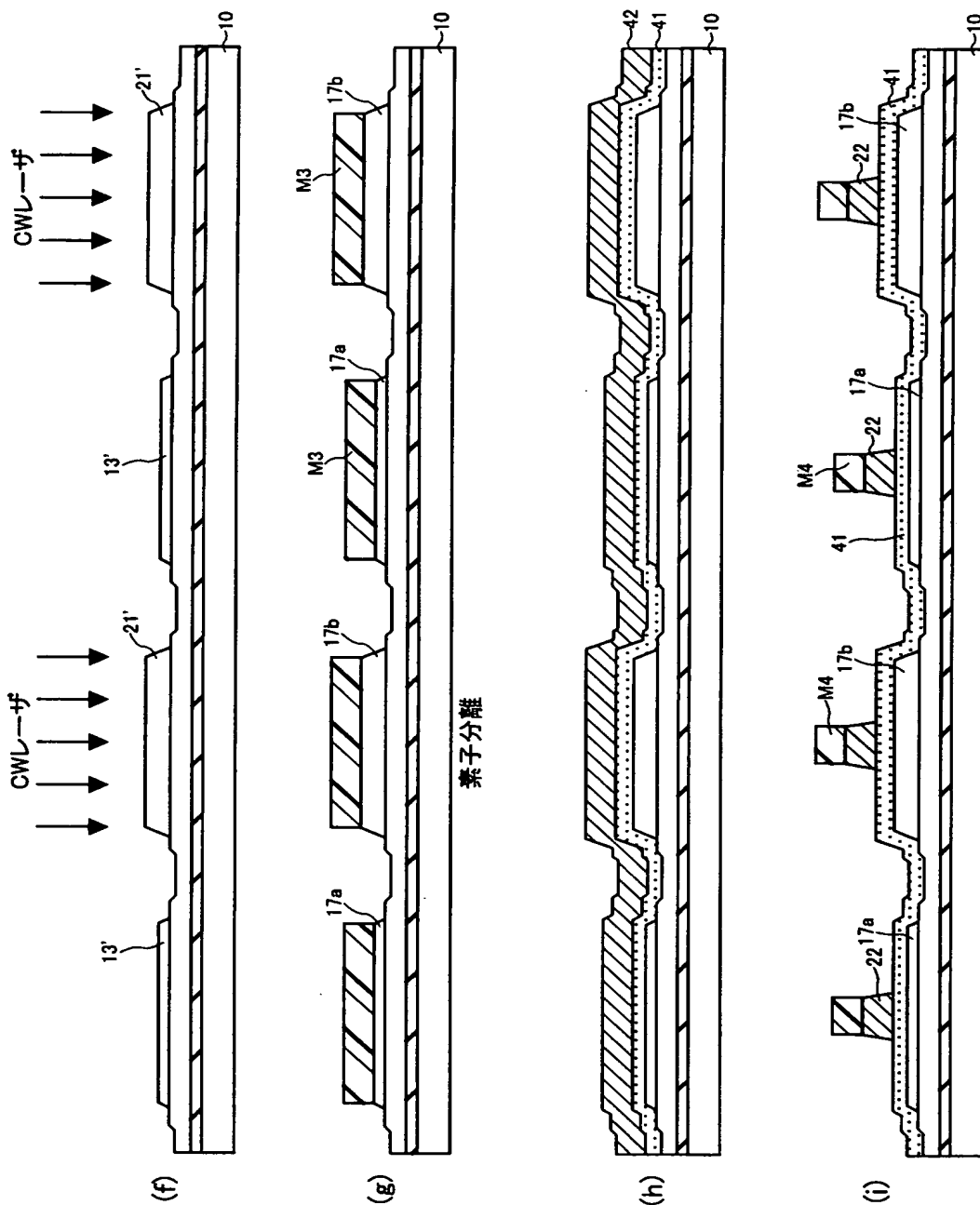
【図 4】

本発明の第1実施形態に係る
薄膜トランジスタ基板の製造工程(その1)



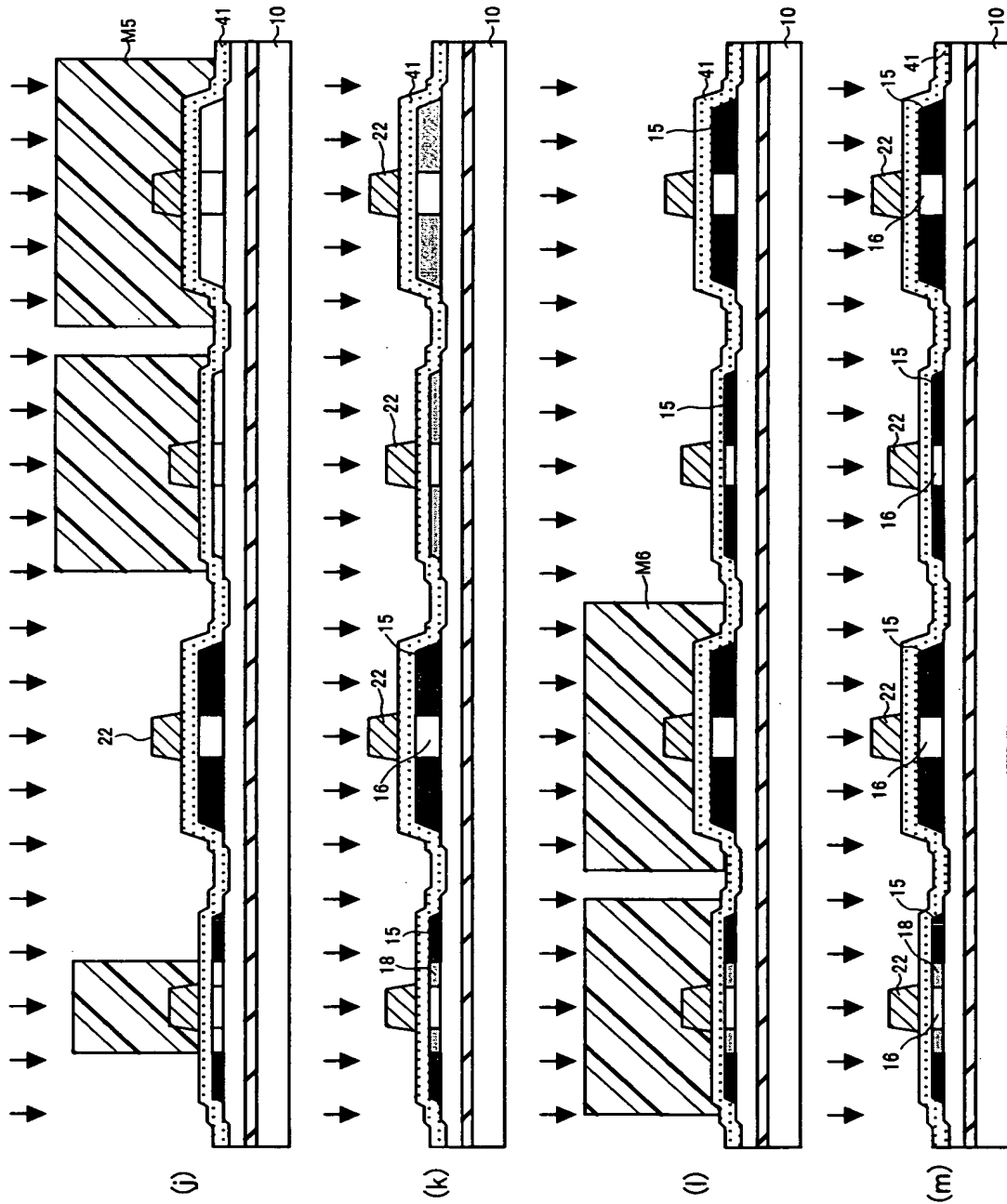
【図 5】

本発明の第1実施形態に係る
薄膜トランジスタ基板の製造工程(その2)



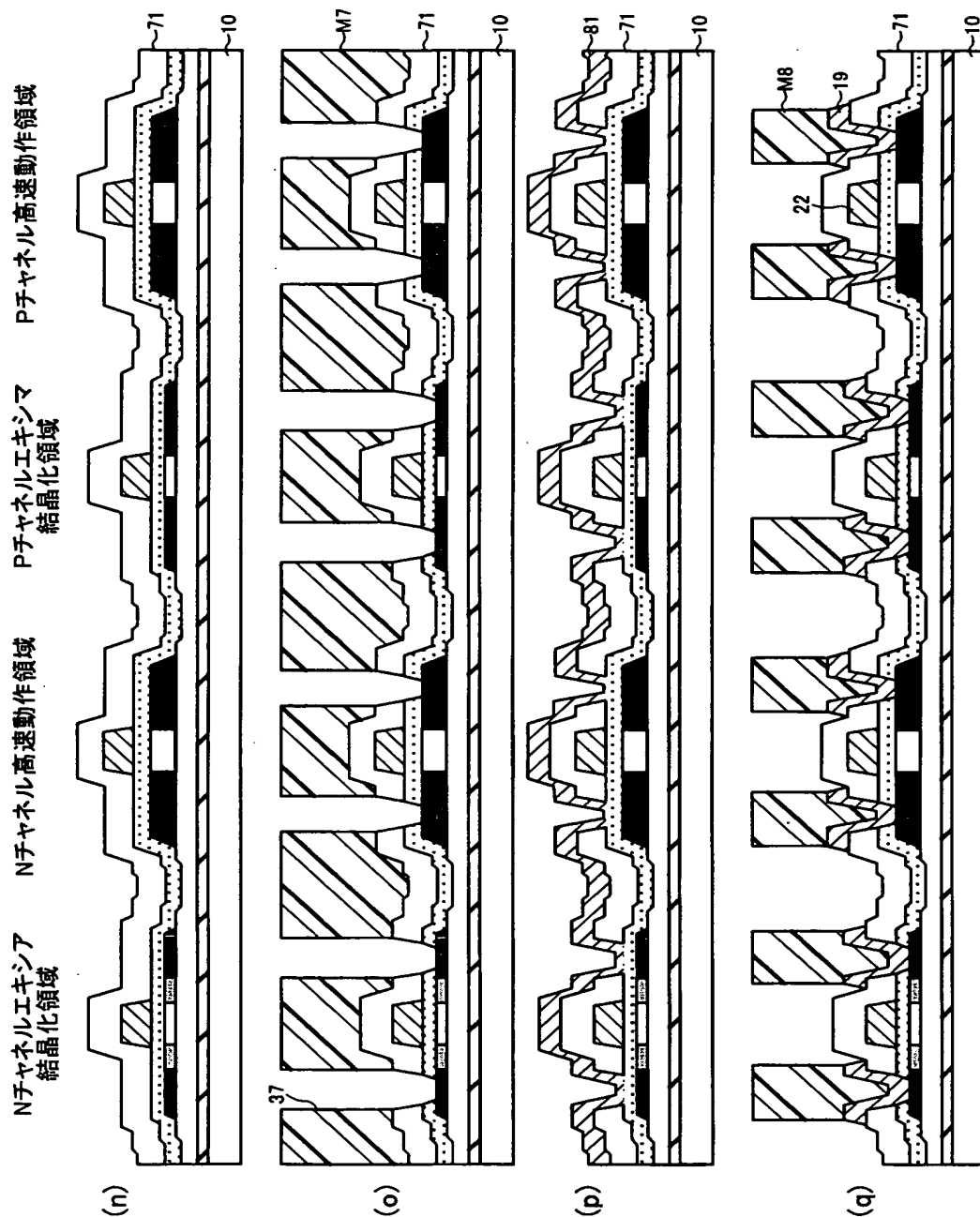
【図 6】

本発明の第1実施形態に係る
薄膜トランジスタ基板の製造工程(その3)



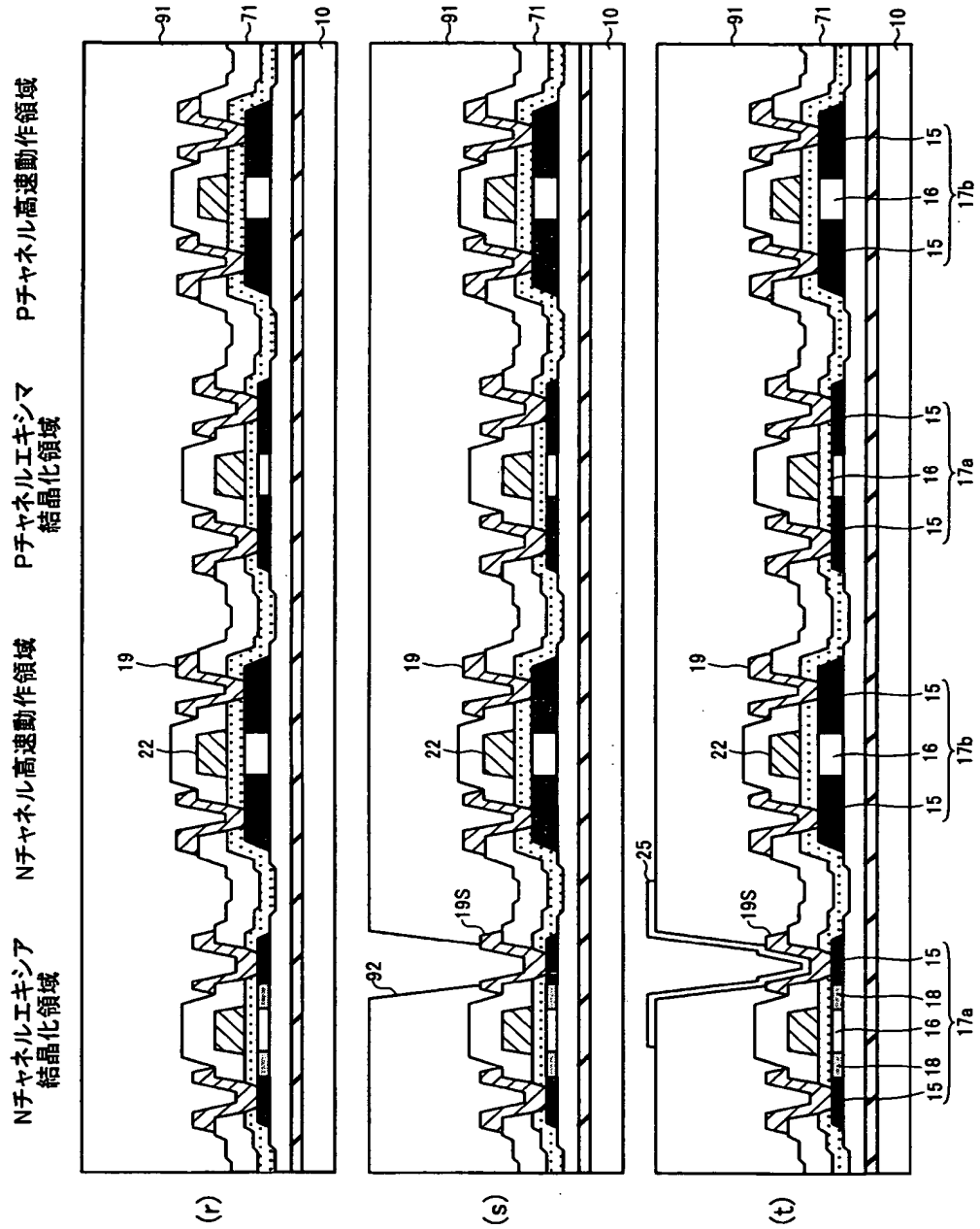
【図 7】

本発明の第1実施形態に係る
薄膜トランジスタ基板の製造工程(その4)



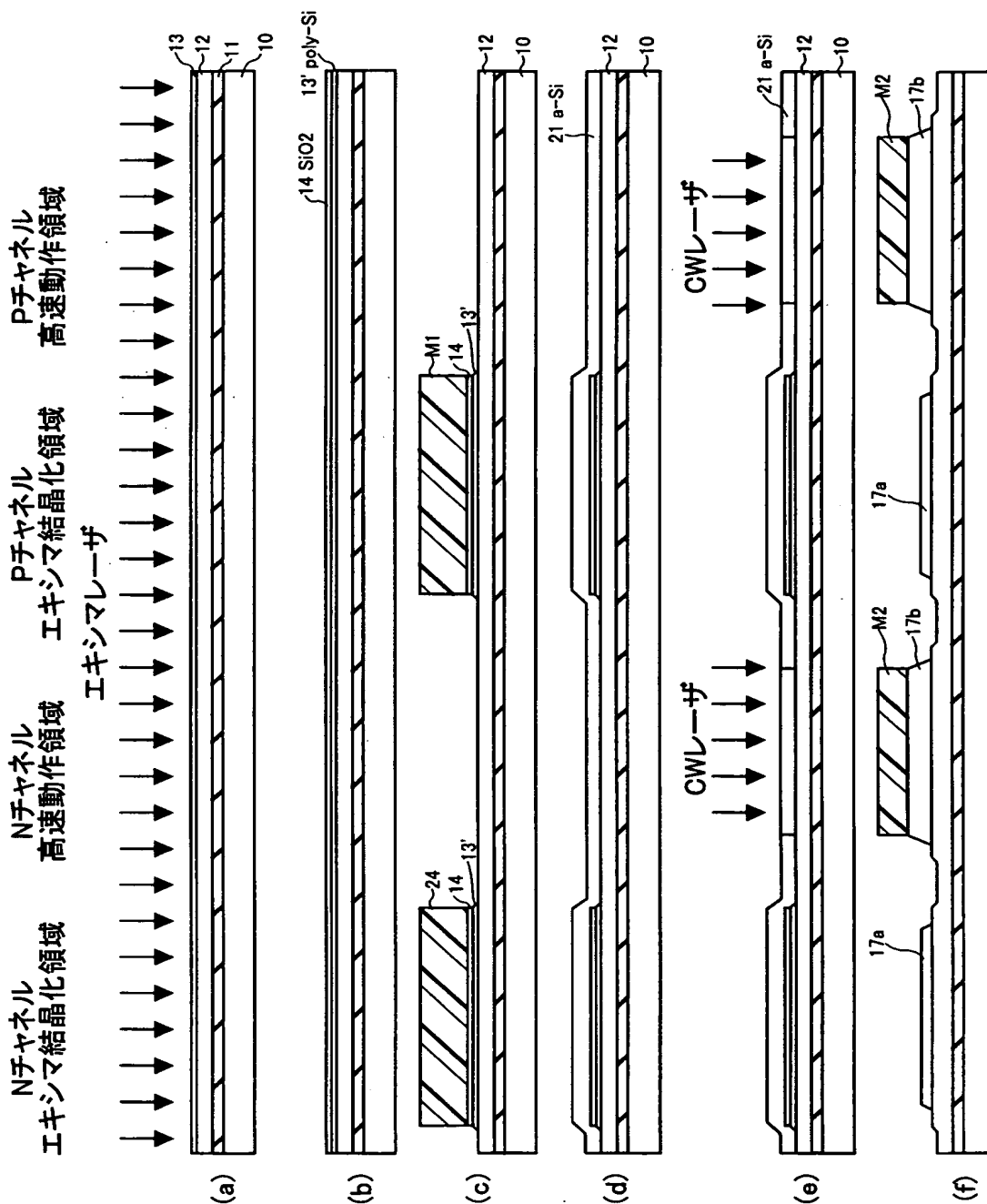
【図 8】

本発明の第1実施形態に係る
薄膜トランジスタ基板の製造工程(その5)



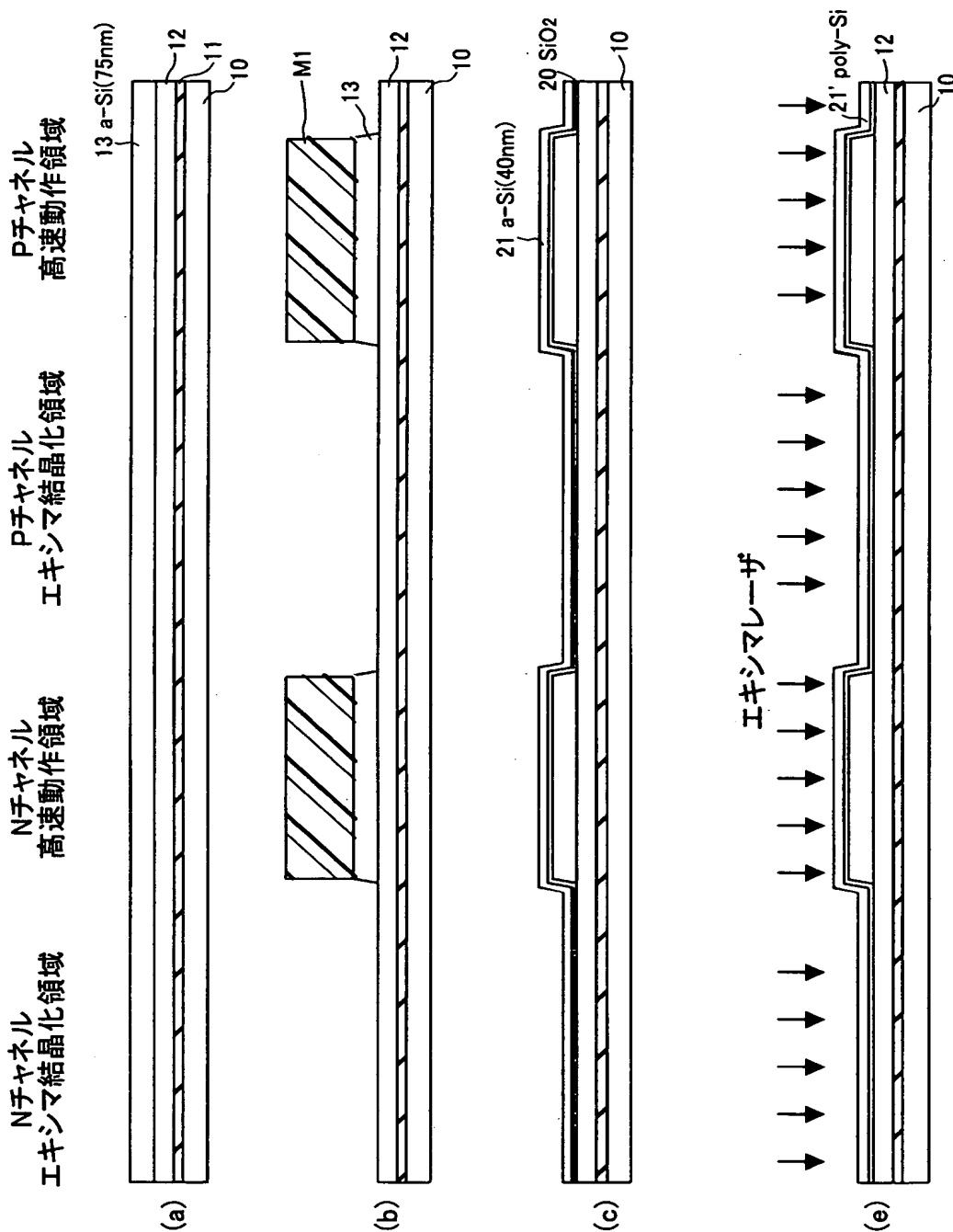
【図 9】

第1実施形態の製造方法の変形例



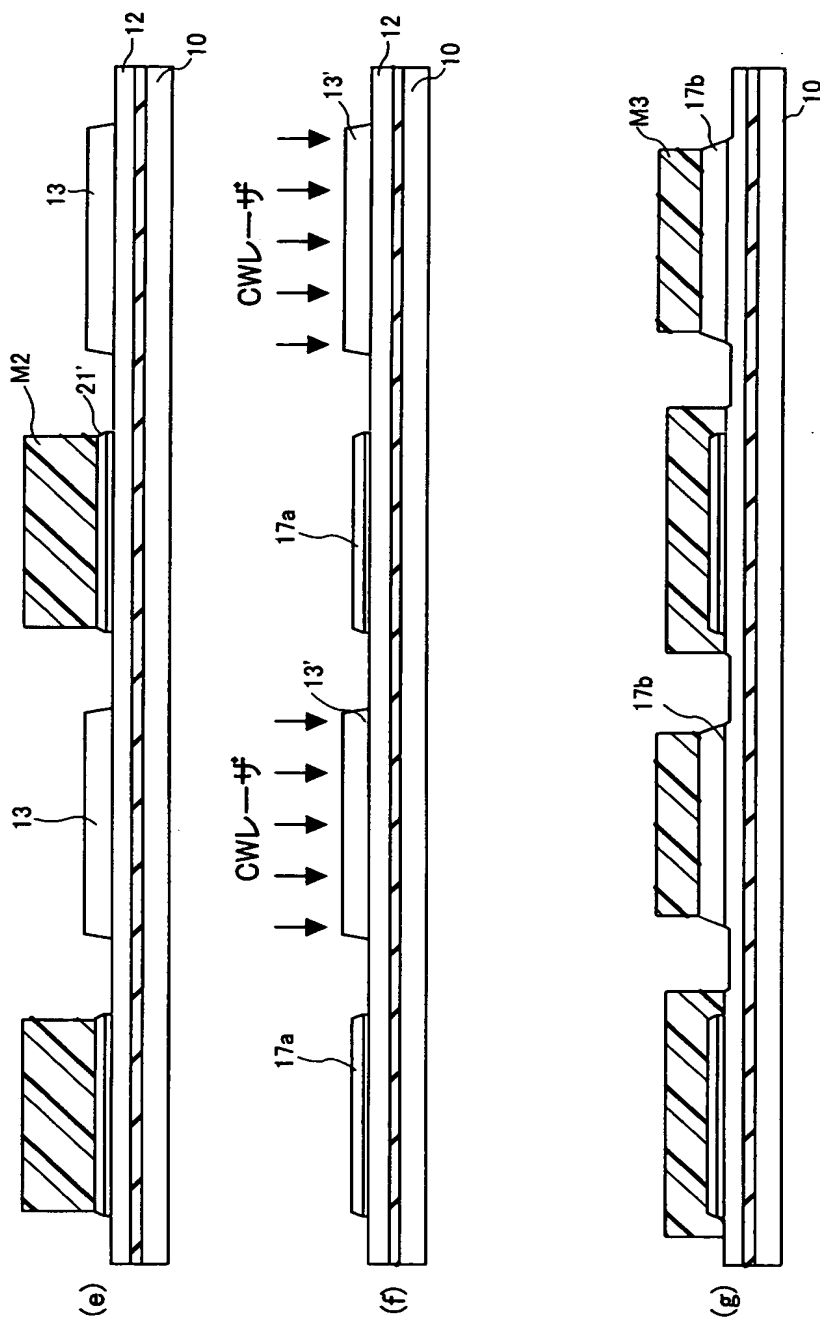
【図 10】

第2実施形態の製造工程図(その1)



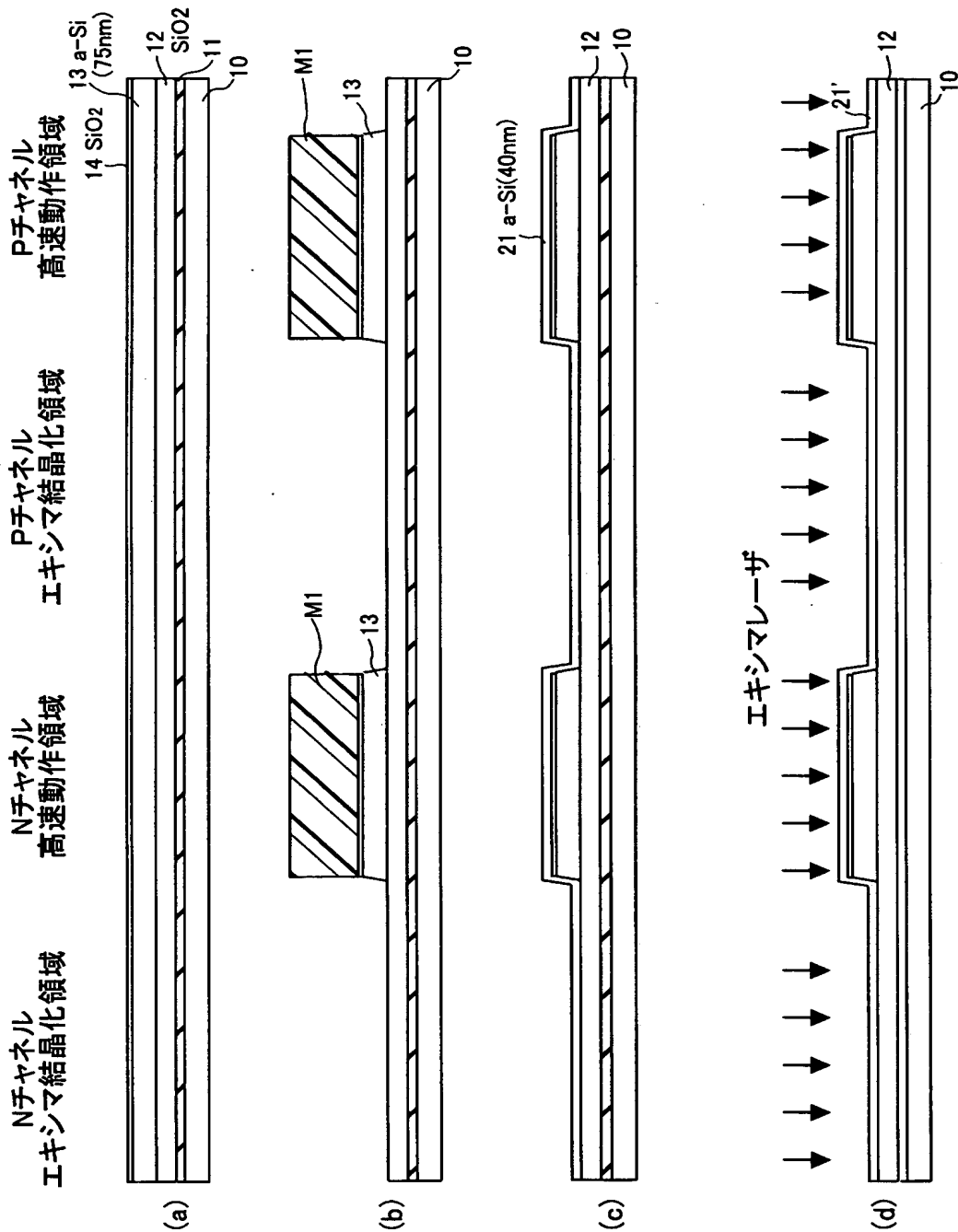
【図 11】

第2実施形態の製造工程図(その2)



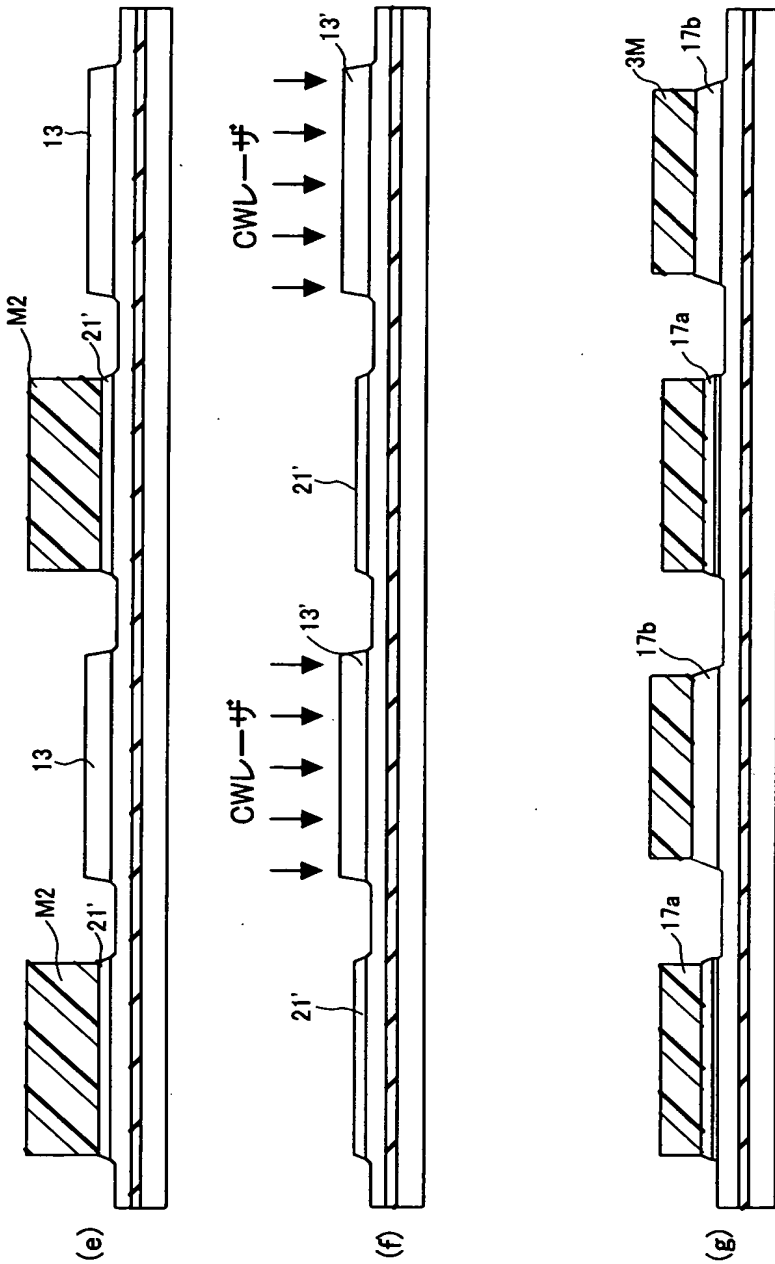
【図 12】

第2実施形態の変形例(その1)



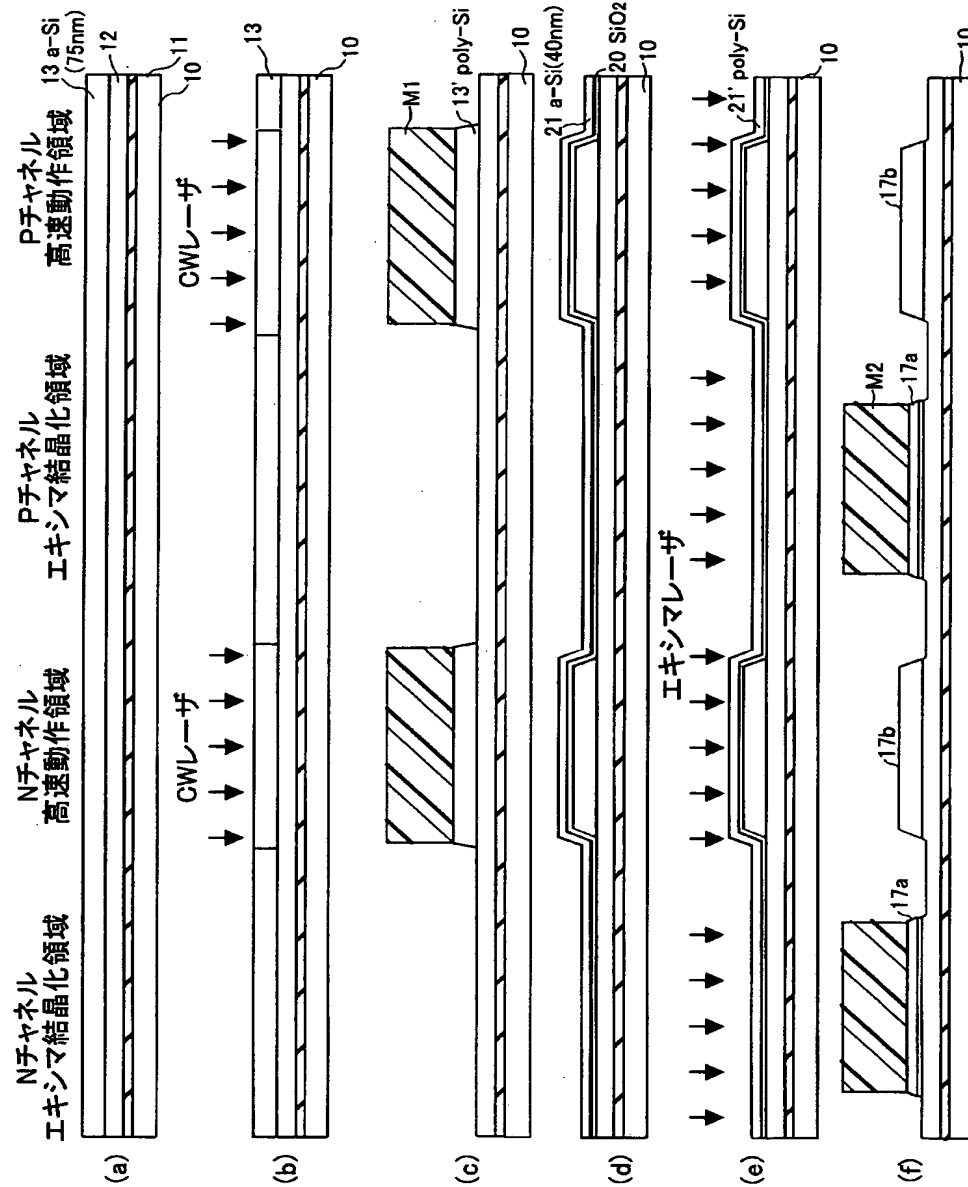
【図 13】

第2実施形態の変形例(その2)



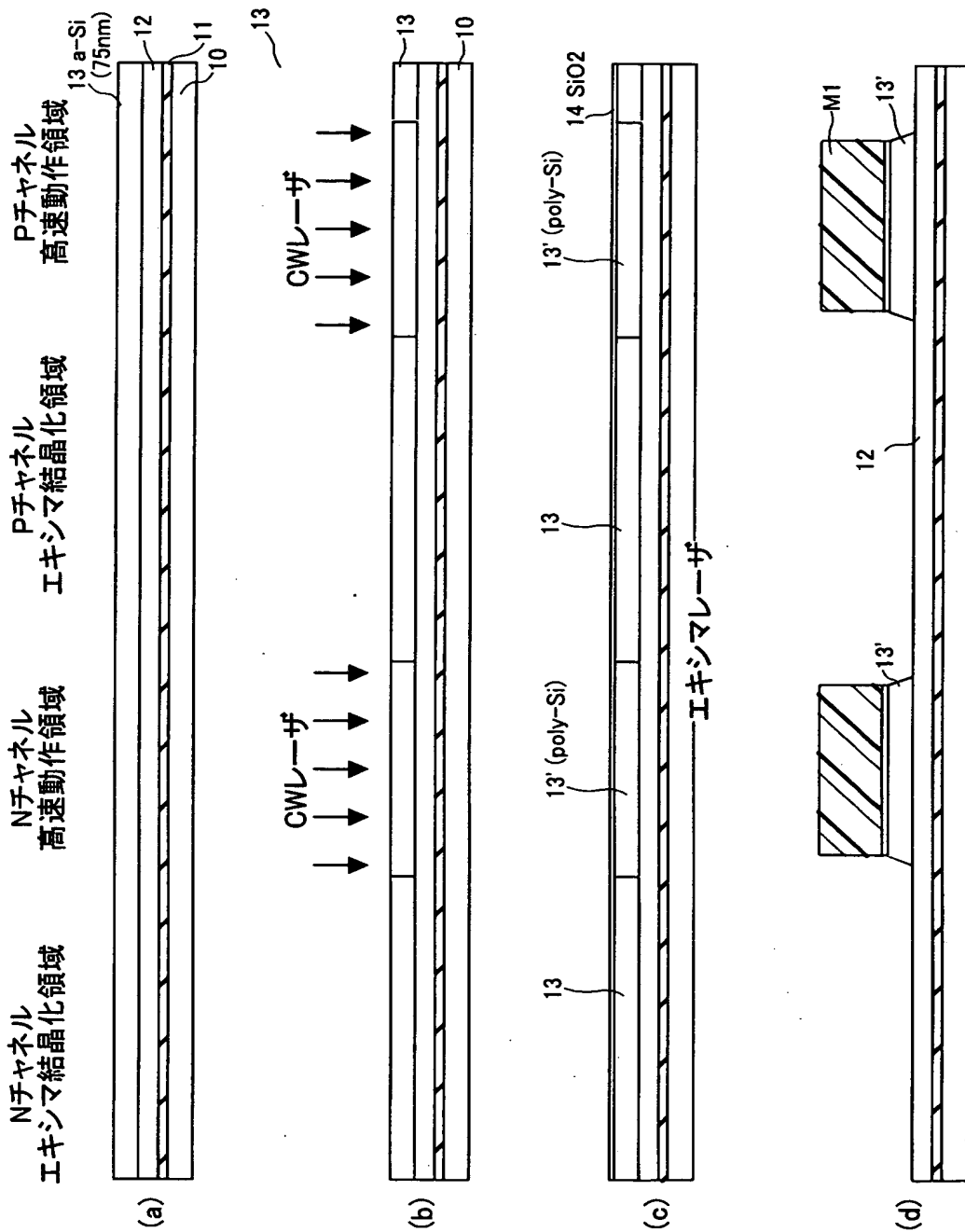
【図 14】

第3実施形態の製造工程図



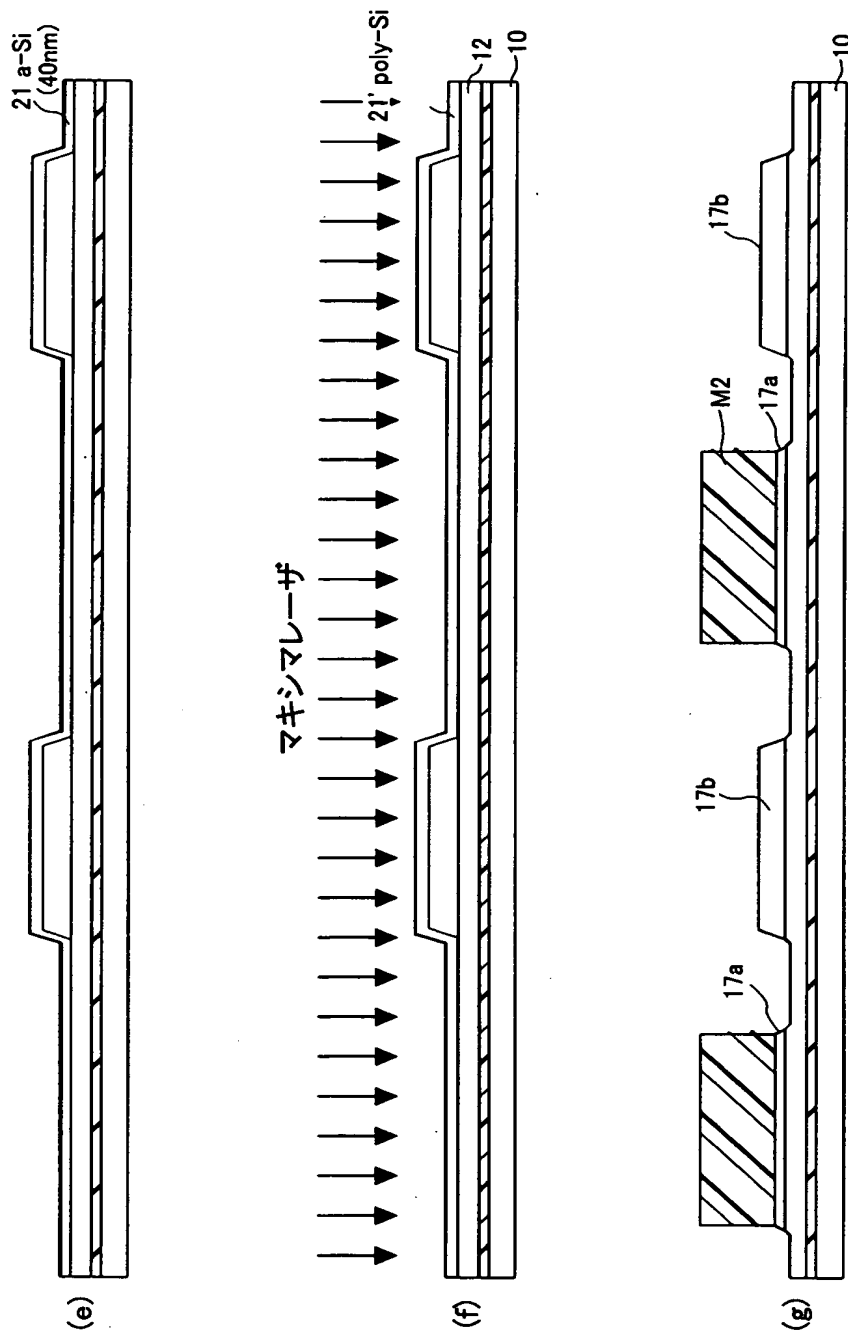
【図 15】

第3実施形態の変形例(その1)



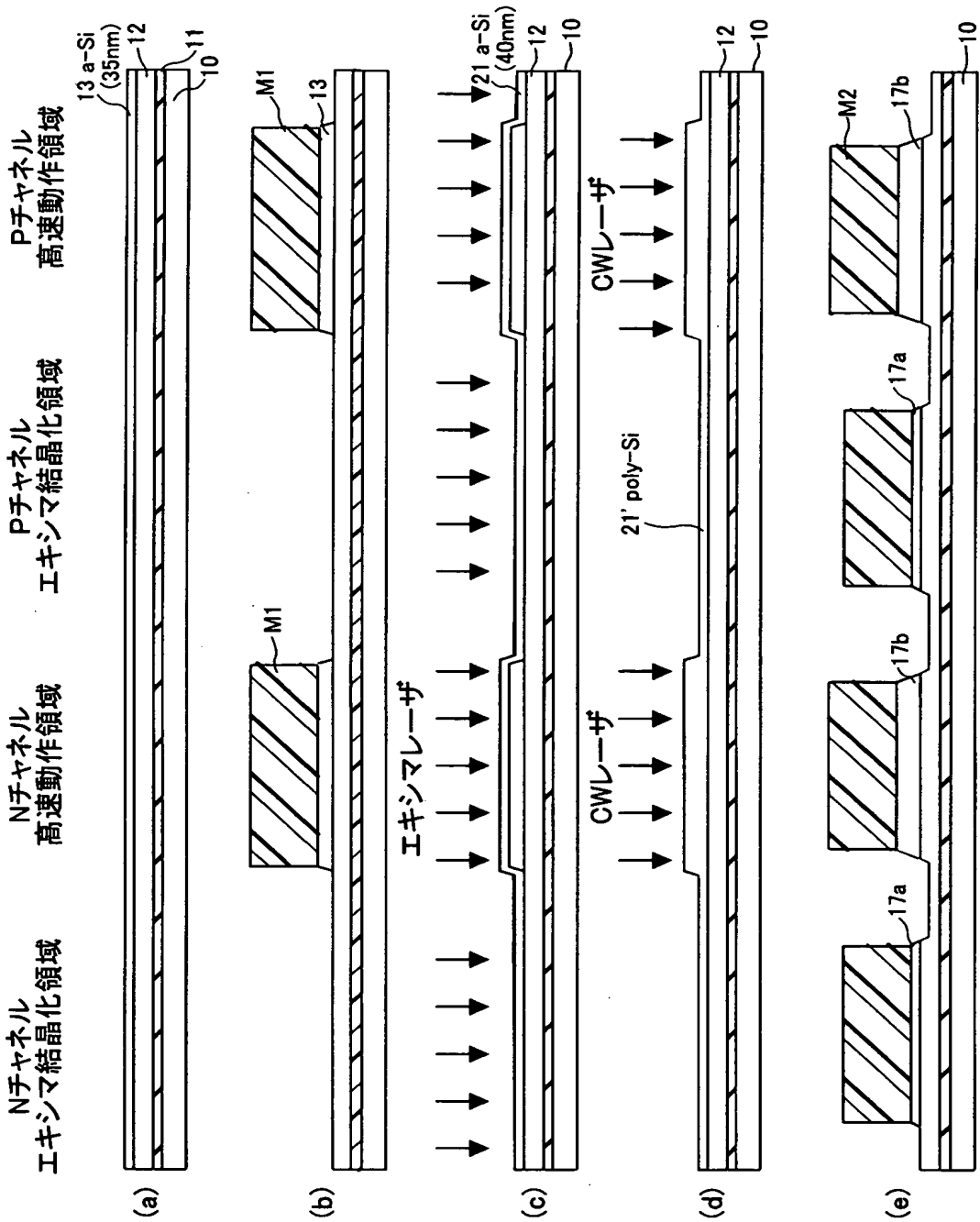
【図 16】

第3実施形態の変形例(その2)



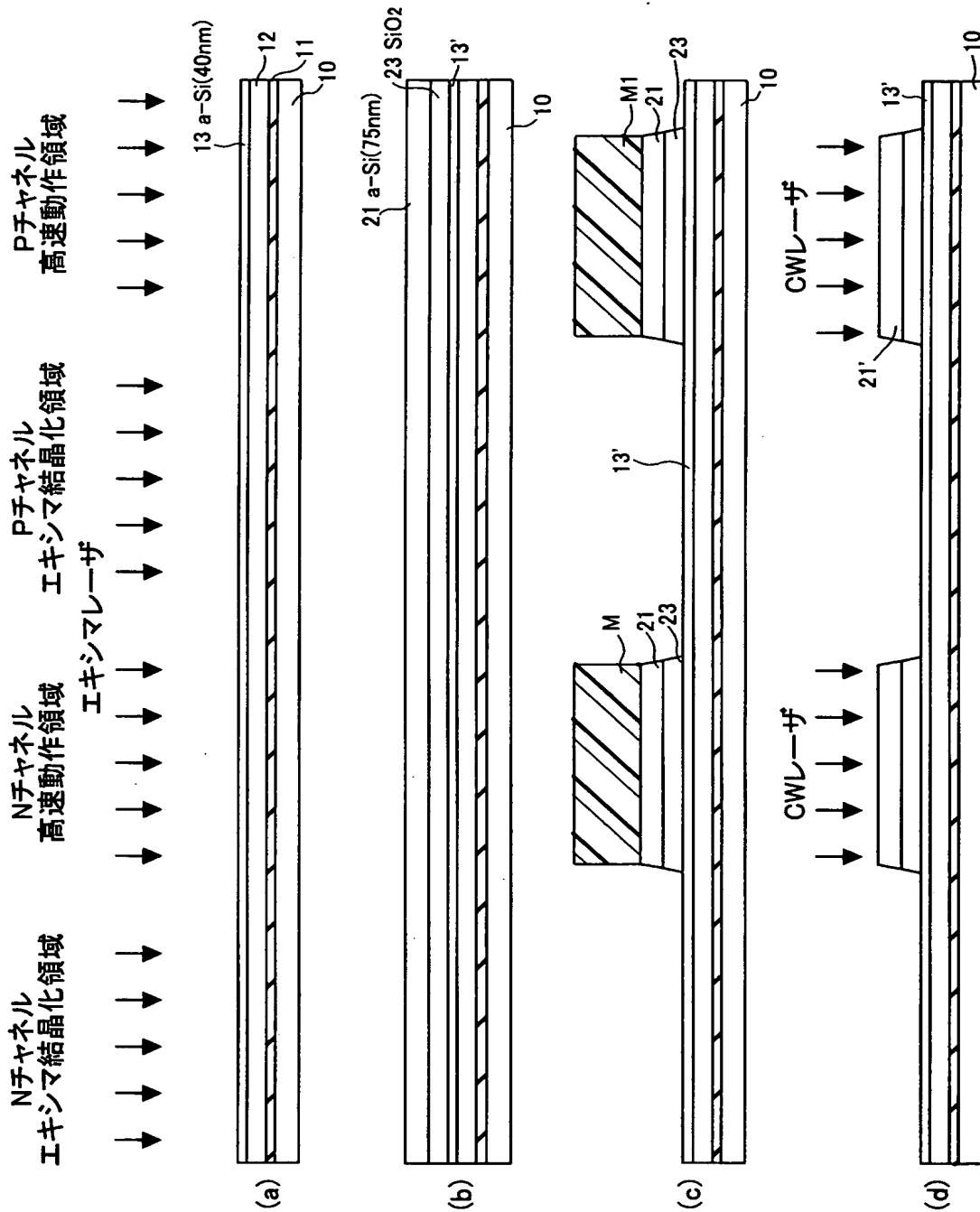
【図 17】

第4実施形態の製造工程図



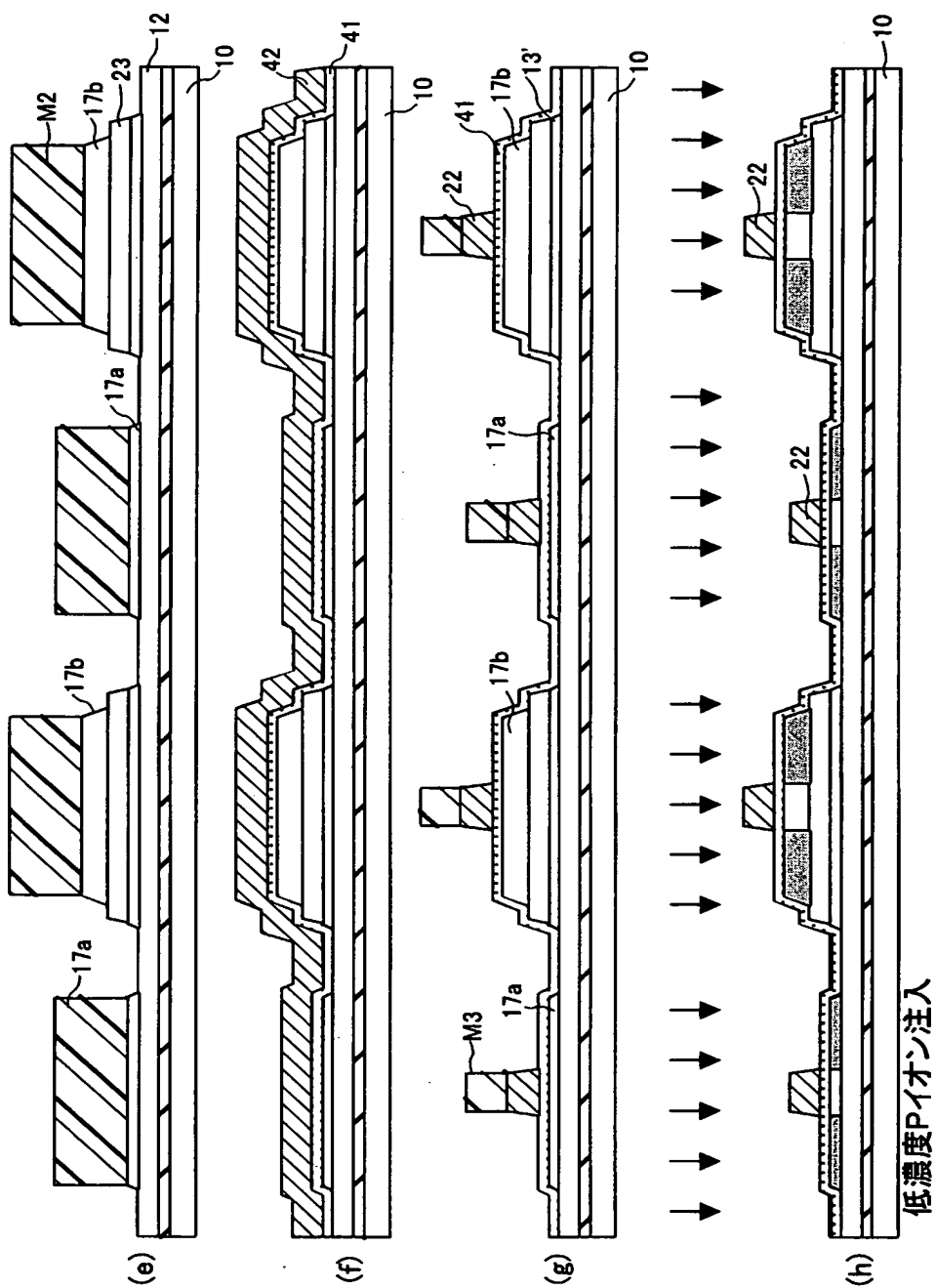
【図 18】

第5実施形態の製造工程図(その1)



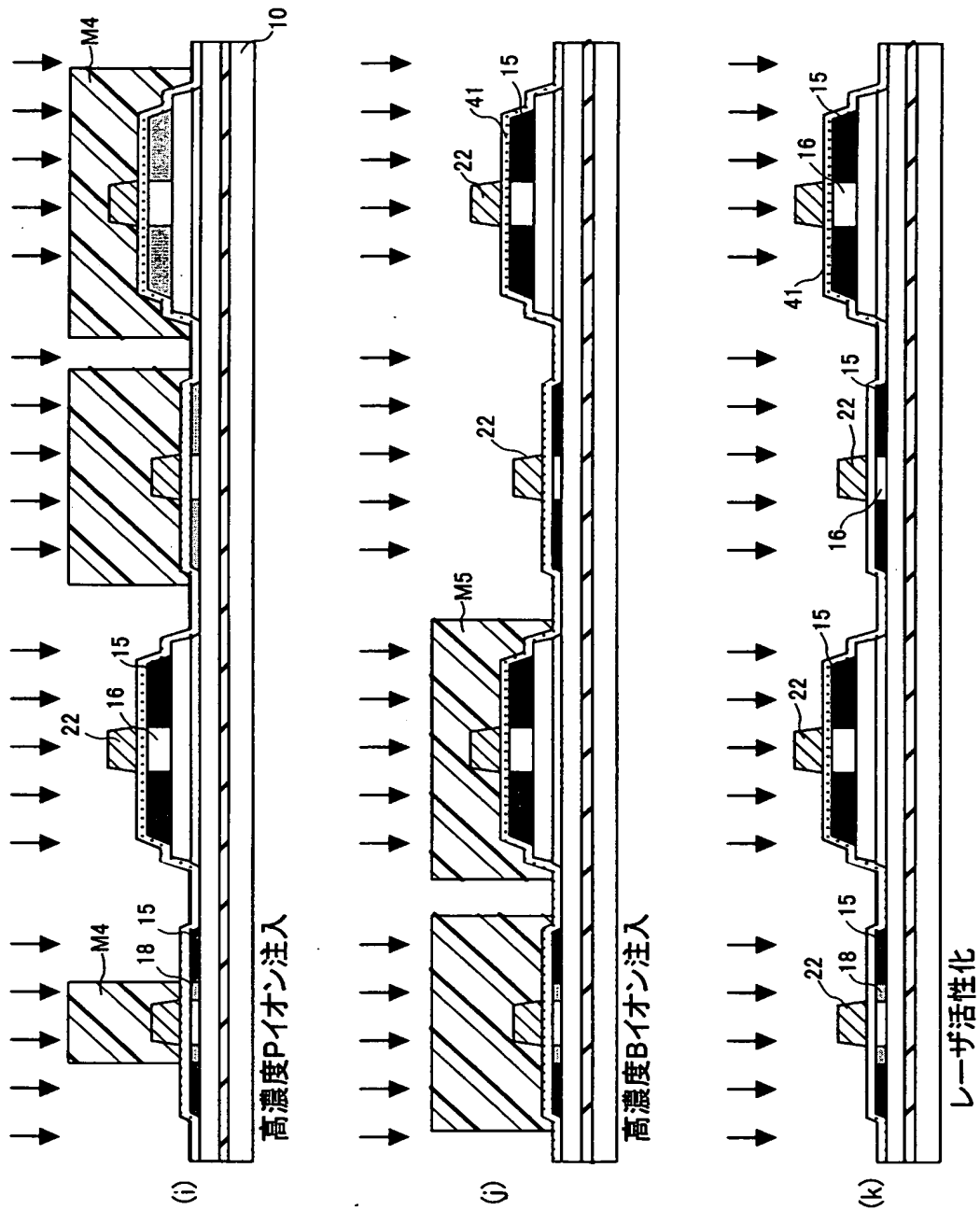
【図 19】

第5実施形態の製造工程図(その2)



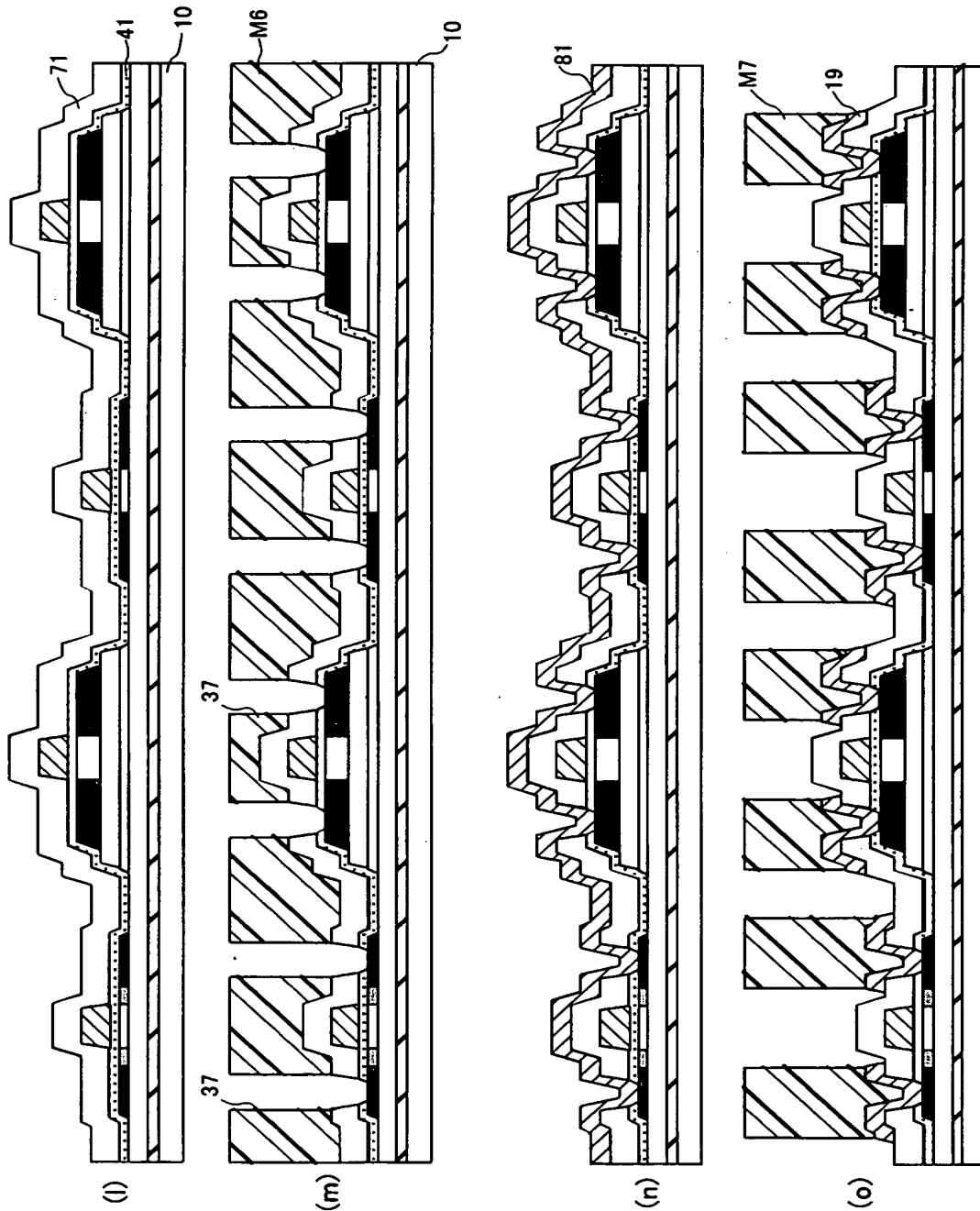
【図 20】

第5実施形態の製造工程図(その3)



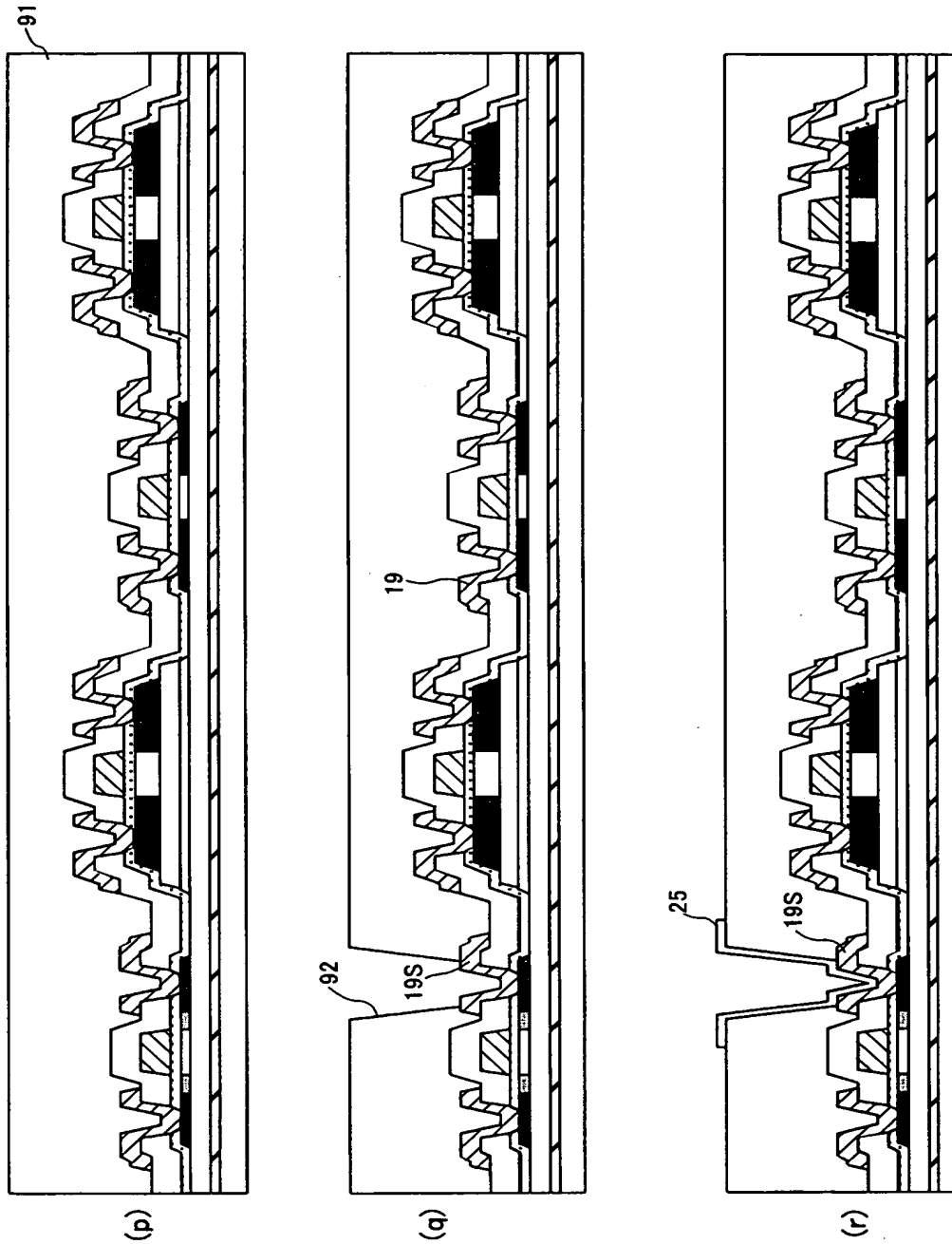
【図 21】

第5実施形態の製造工程図(その4)



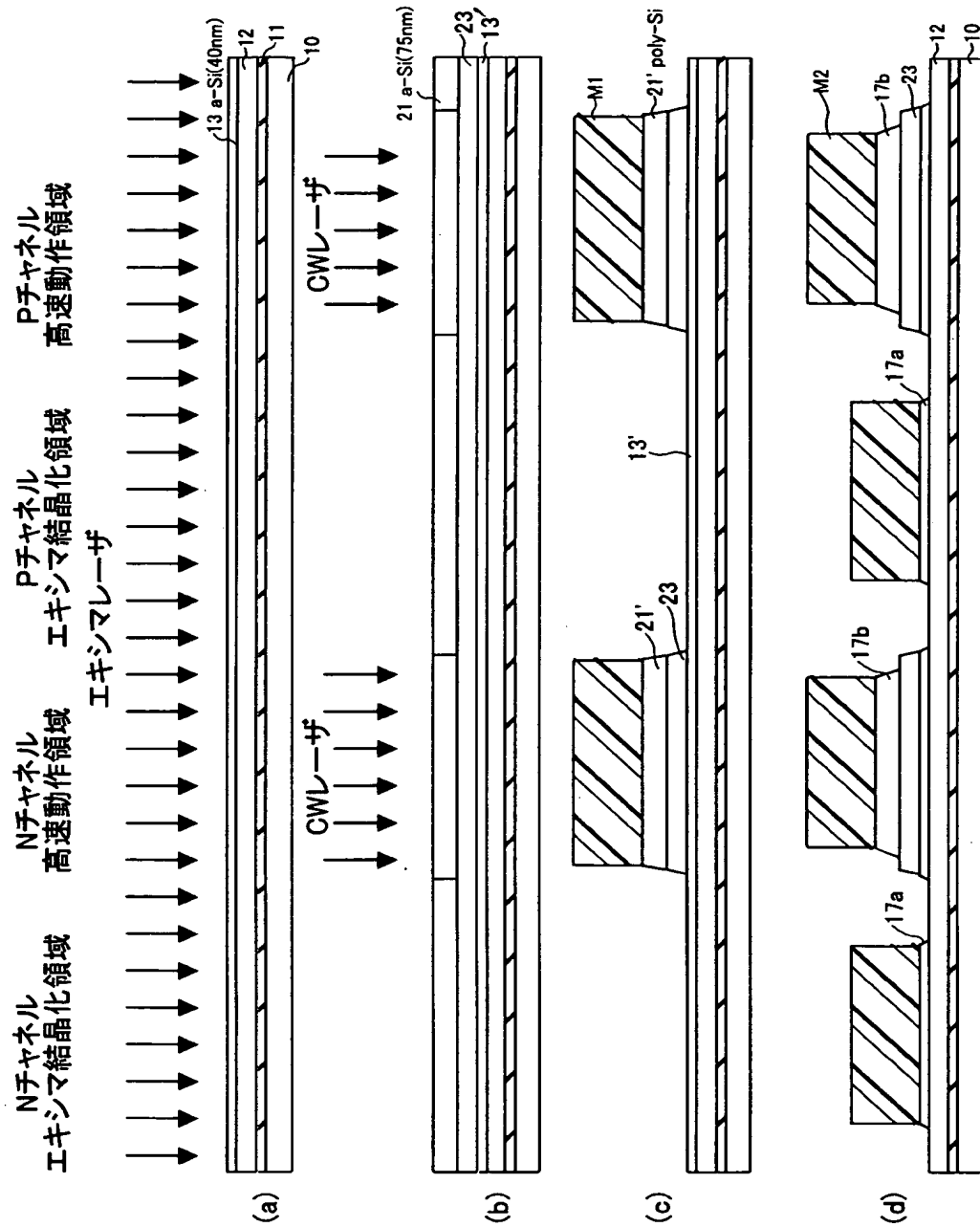
【図 22】

第5実施形態の製造工程図(その5)



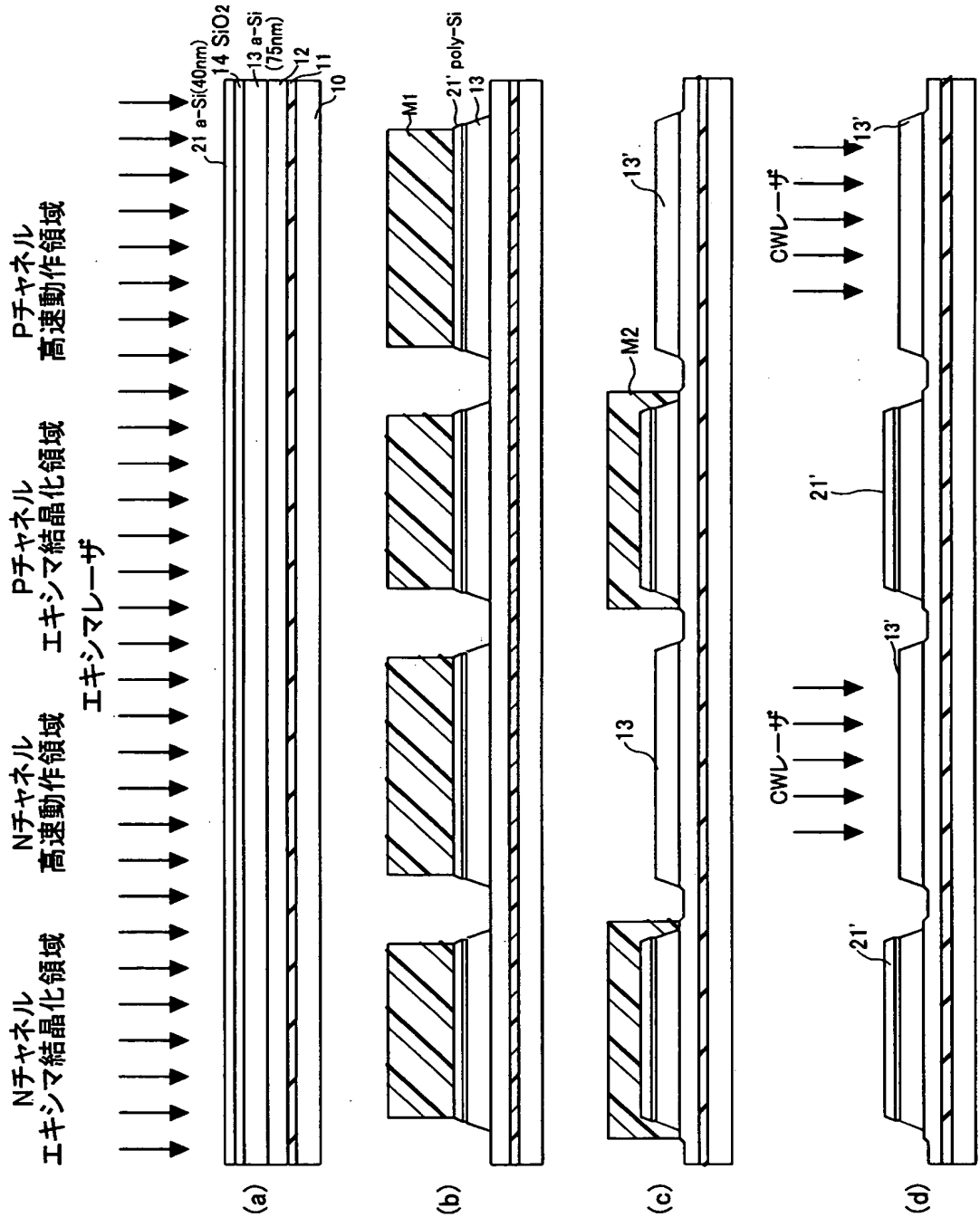
【図 23】

第5実施形態の変形例



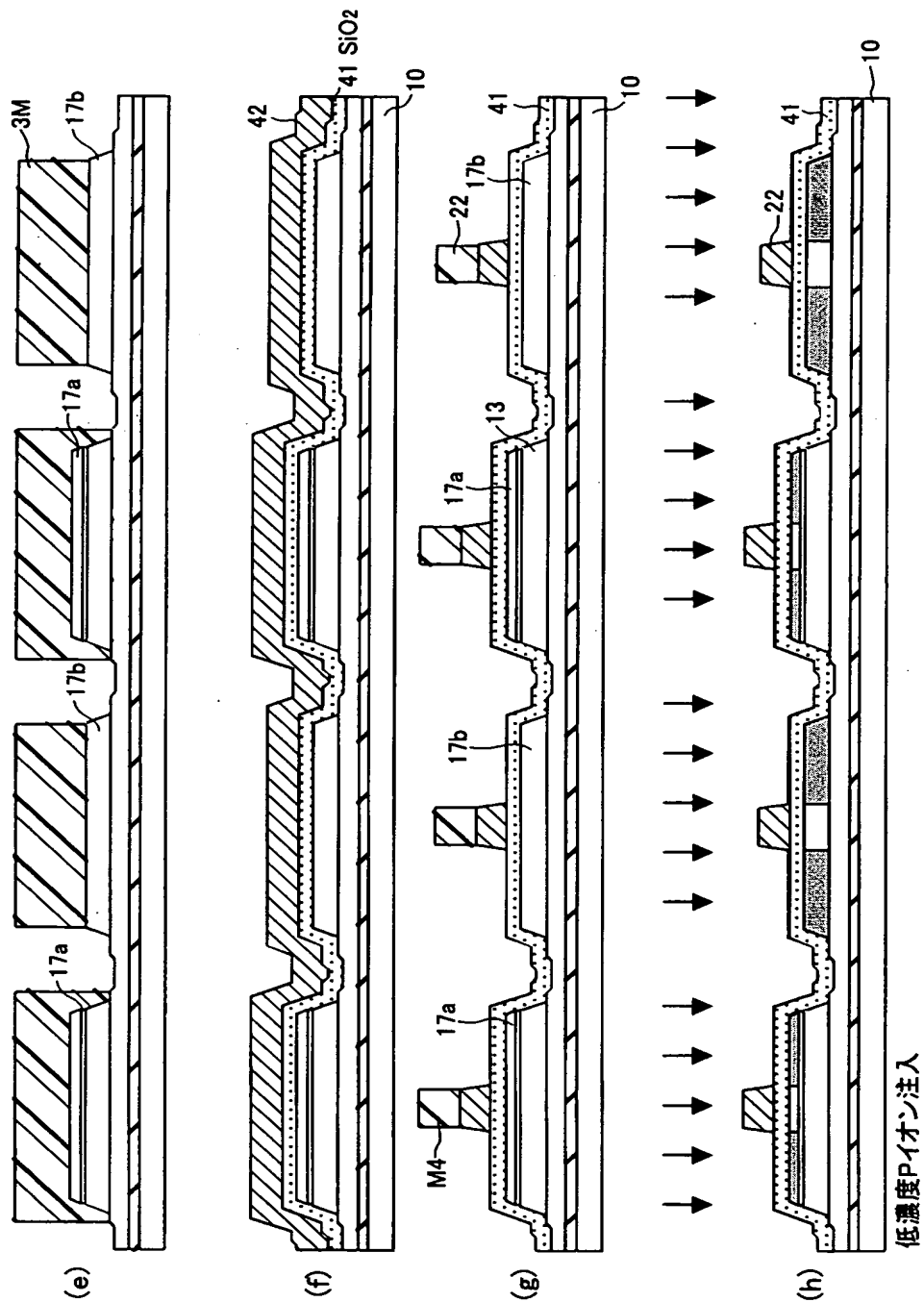
【図 24】

第6実施形態の製造工程図(その1)



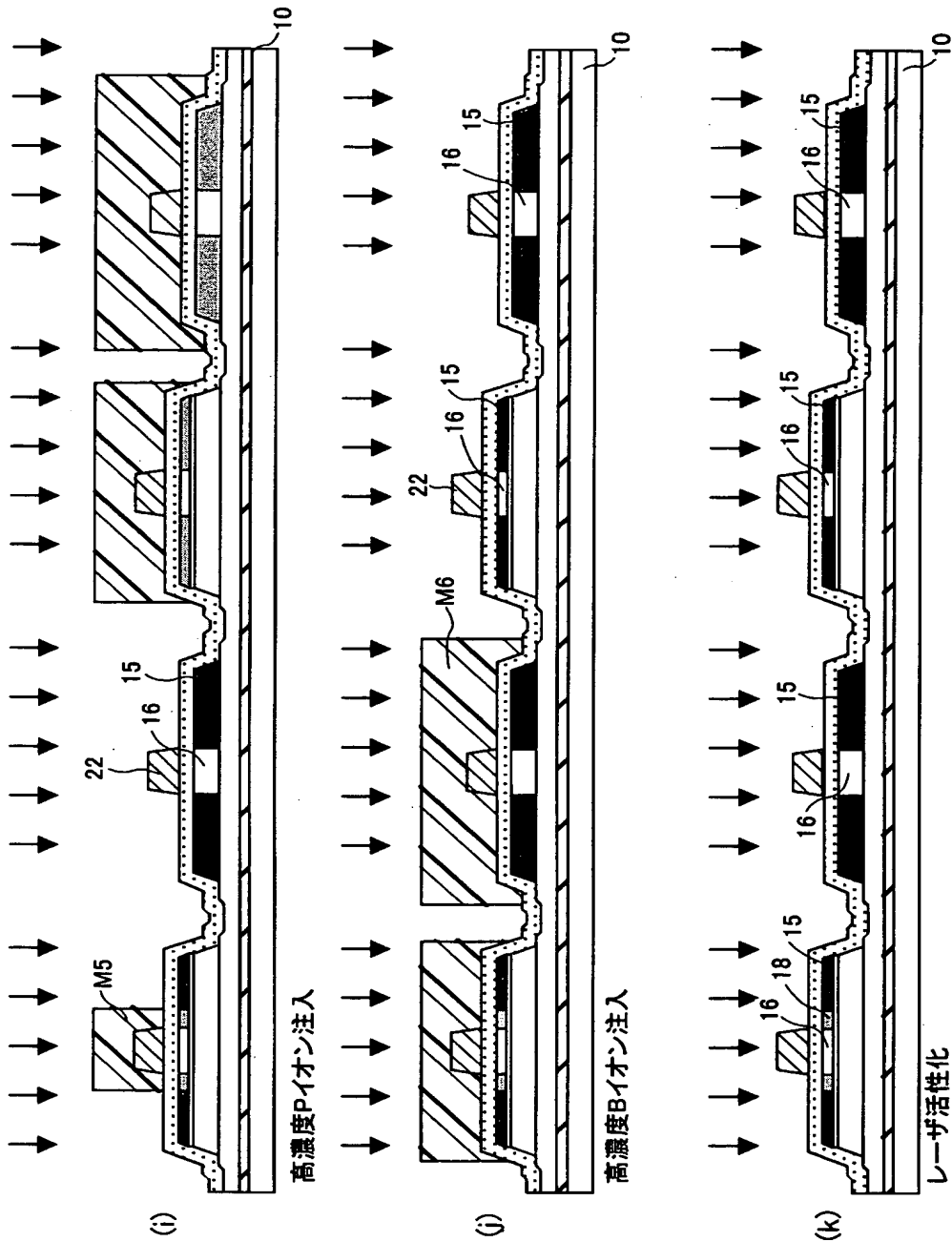
【図 25】

第6実施形態の製造工程図(その2)



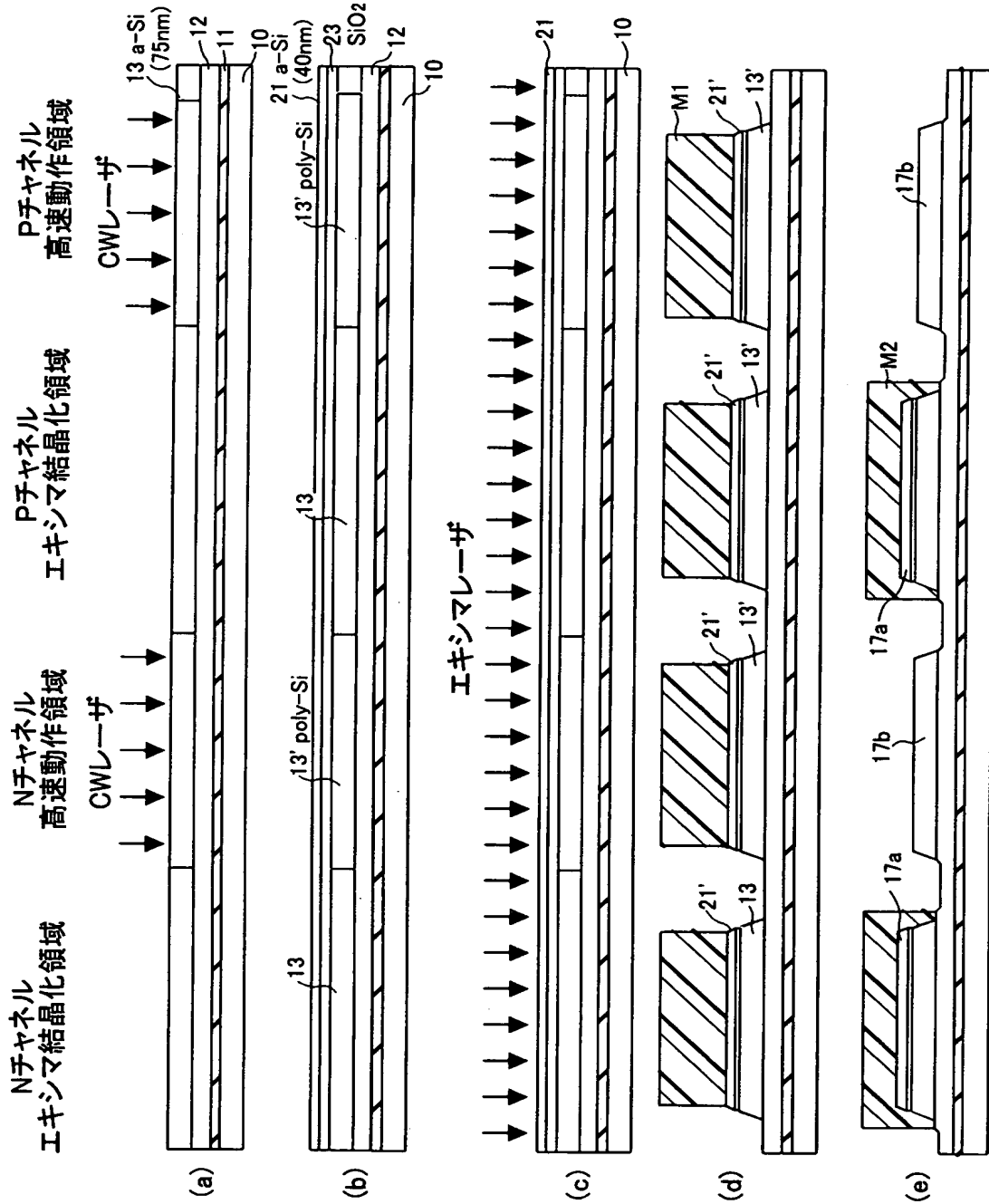
【図 26】

第6実施形態の製造工程図(その3)



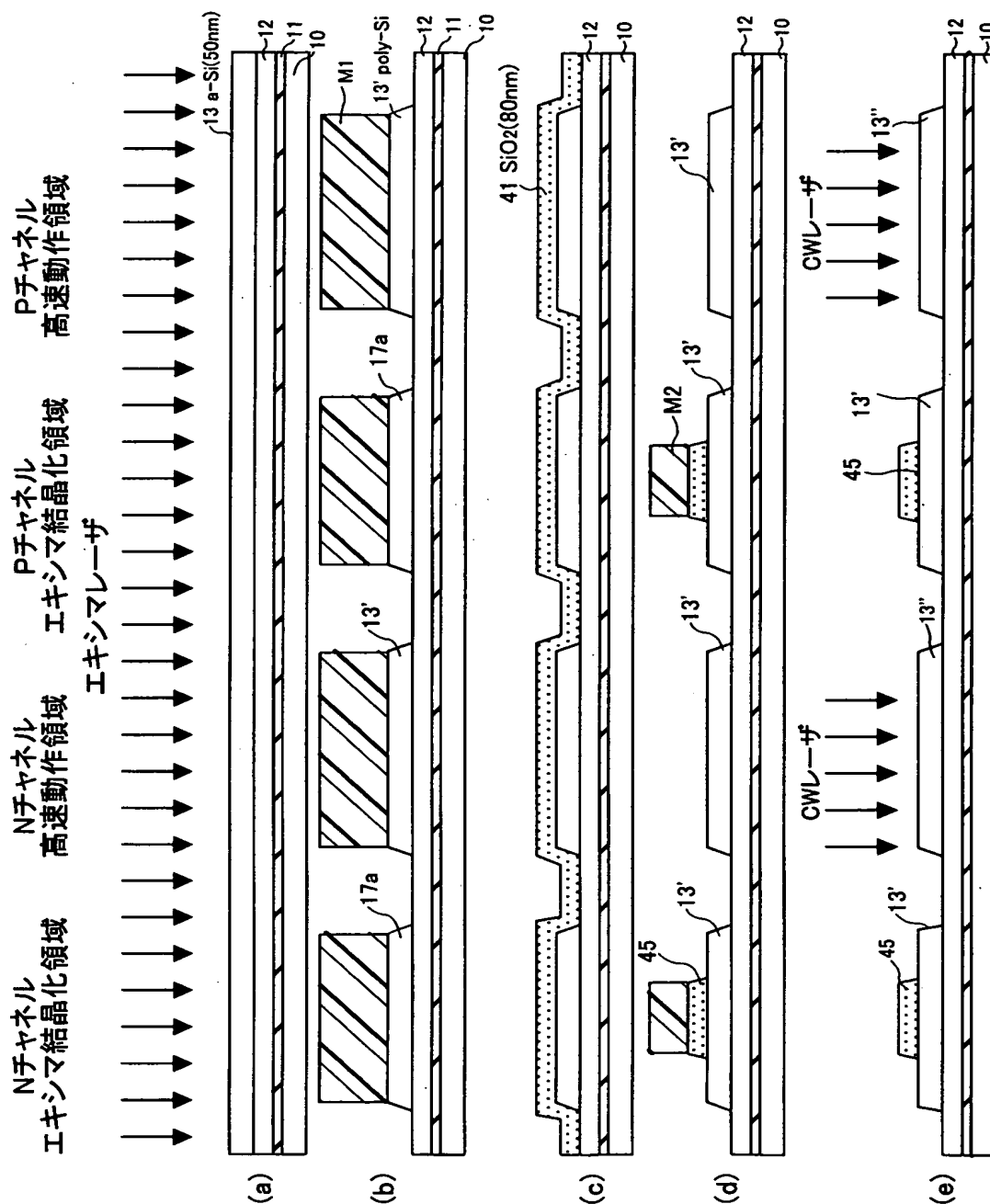
【図 27】

第7実施形態の製造工程図



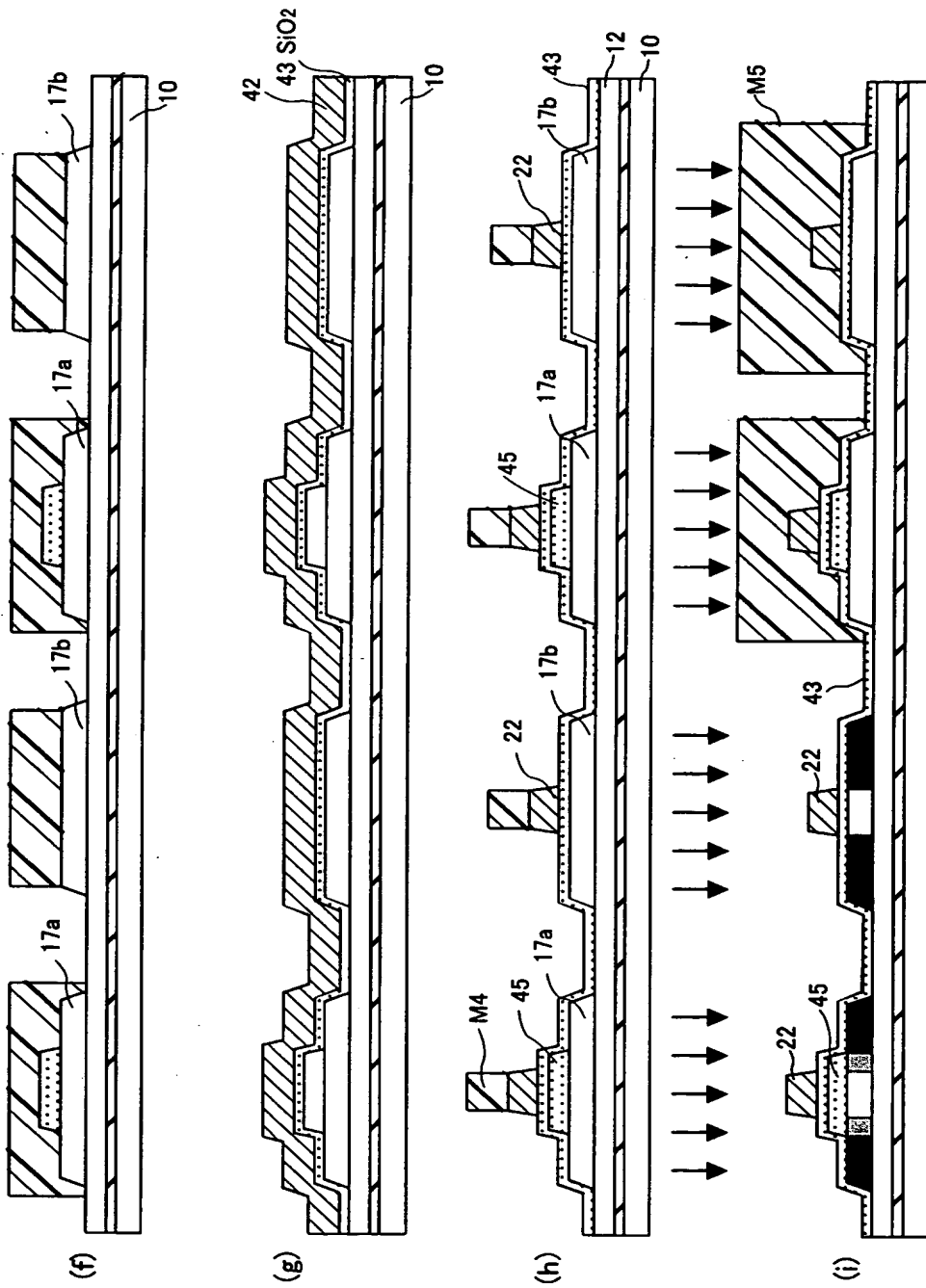
【図28】

第8実施形態の製造工程図(その1)



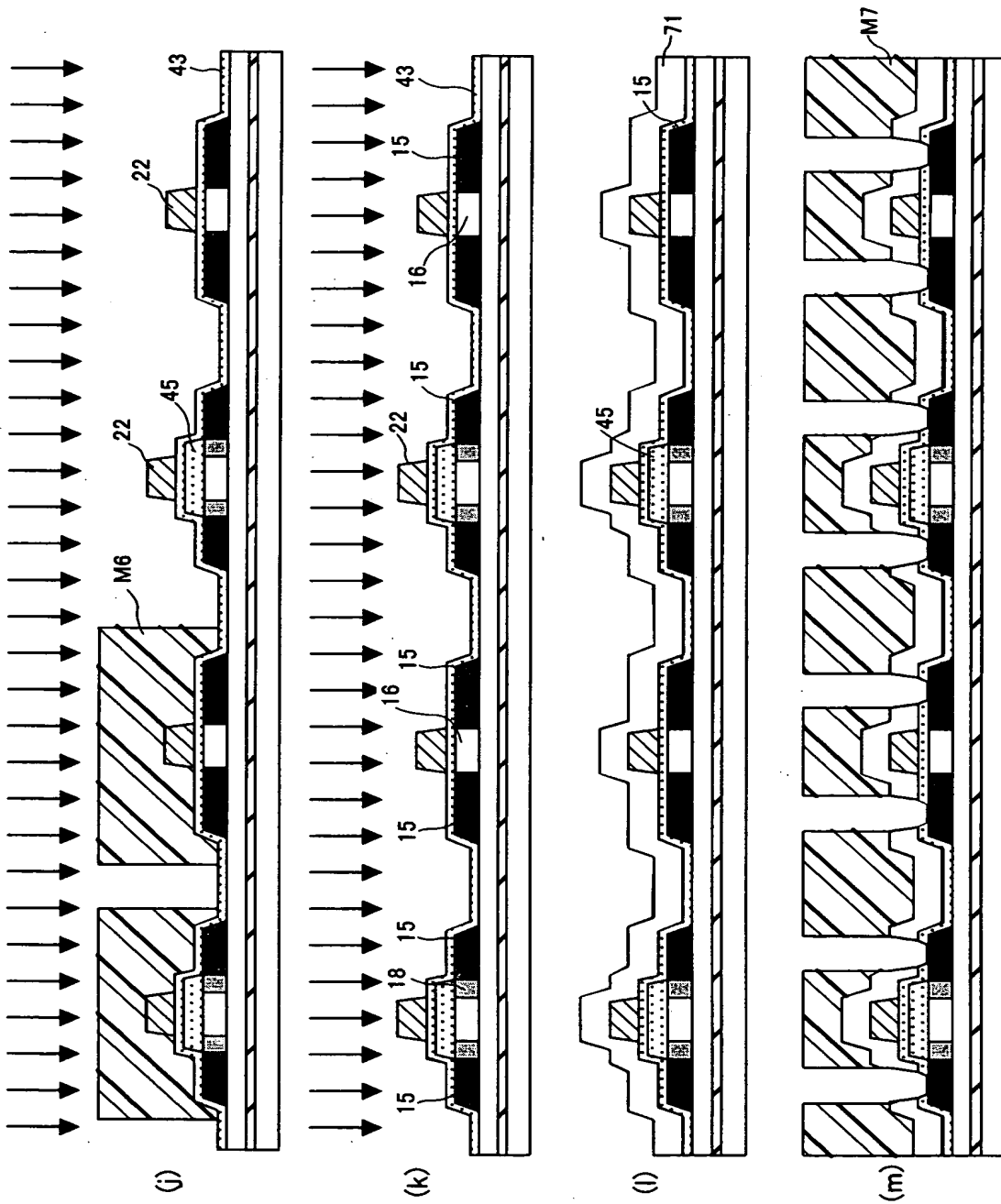
【図 29】

本発明の第8実施形態の製造工程図(その1)



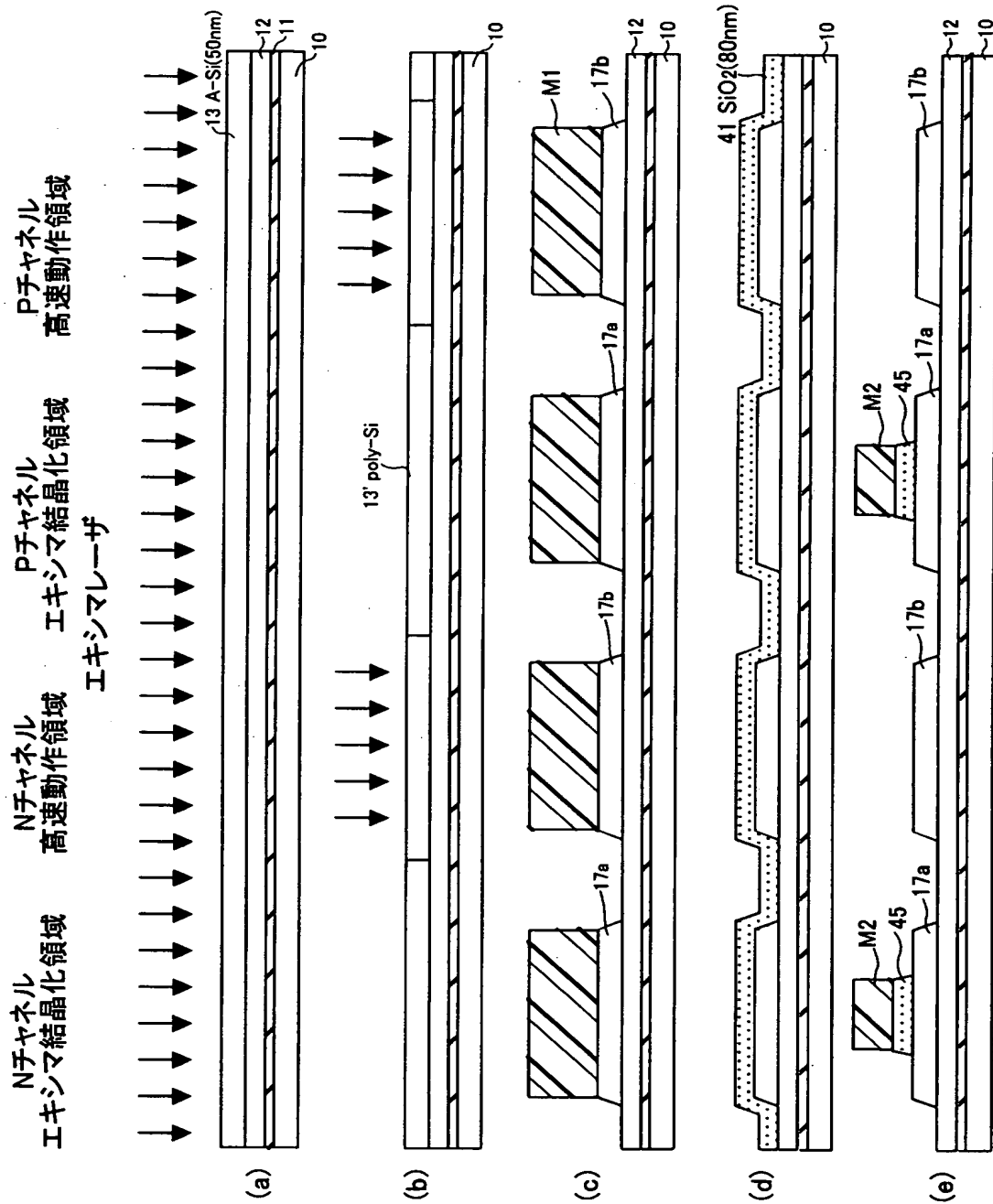
【図 30】

本発明の第8実施形態の製造工程図(その3)



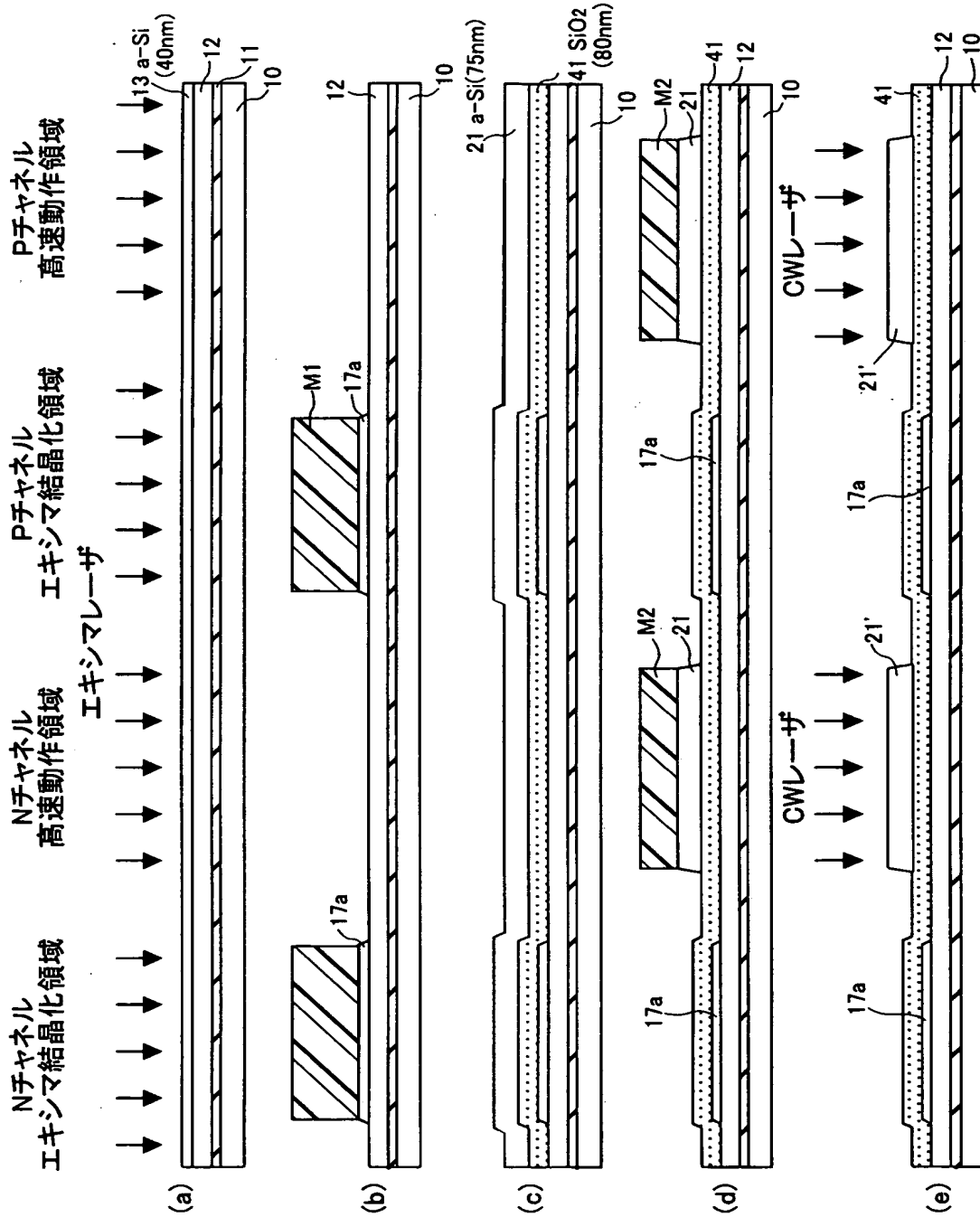
【図 31】

本発明の第8実施形態の変形例



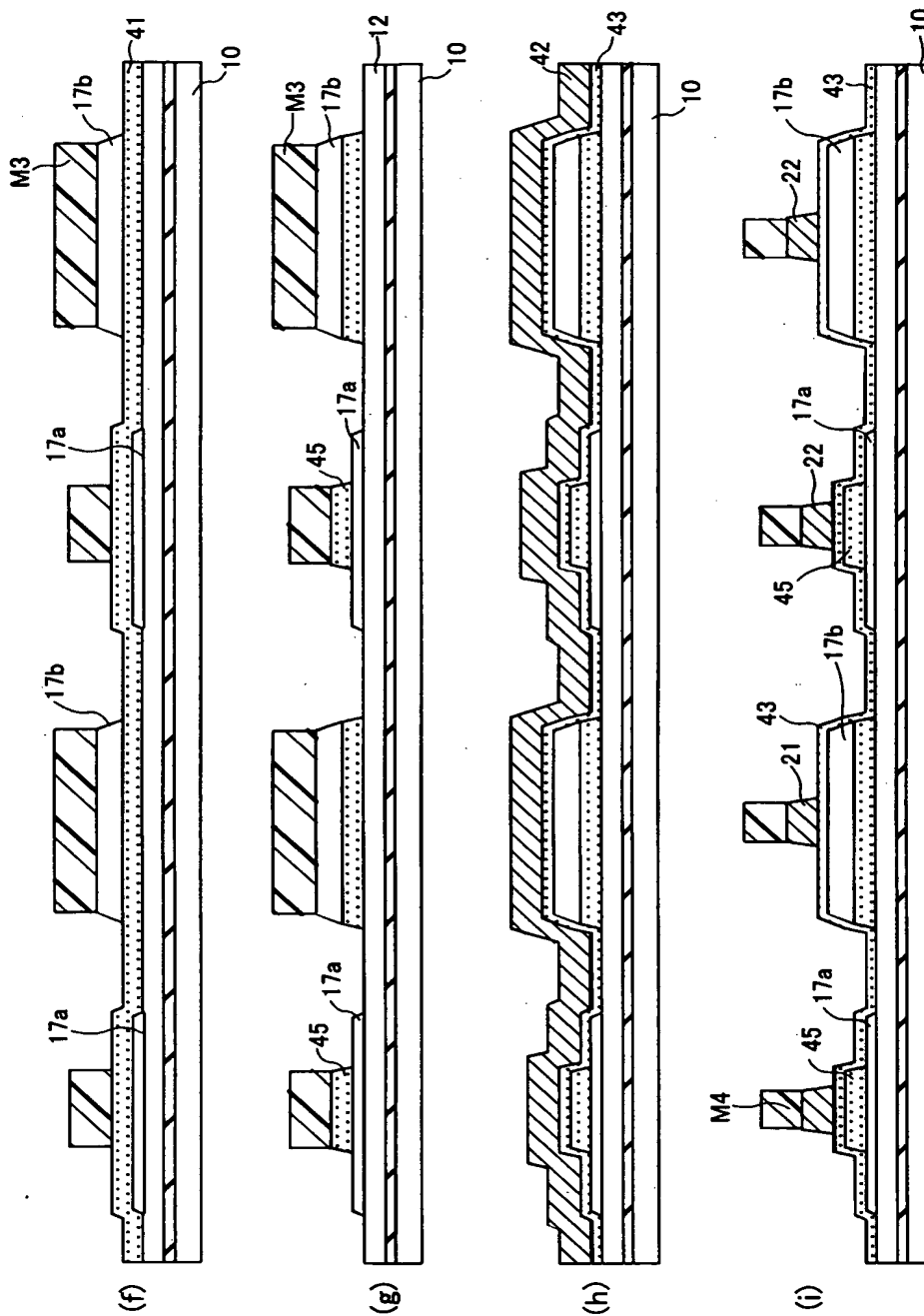
【図32】

第9実施形態の製造工程図(その1)



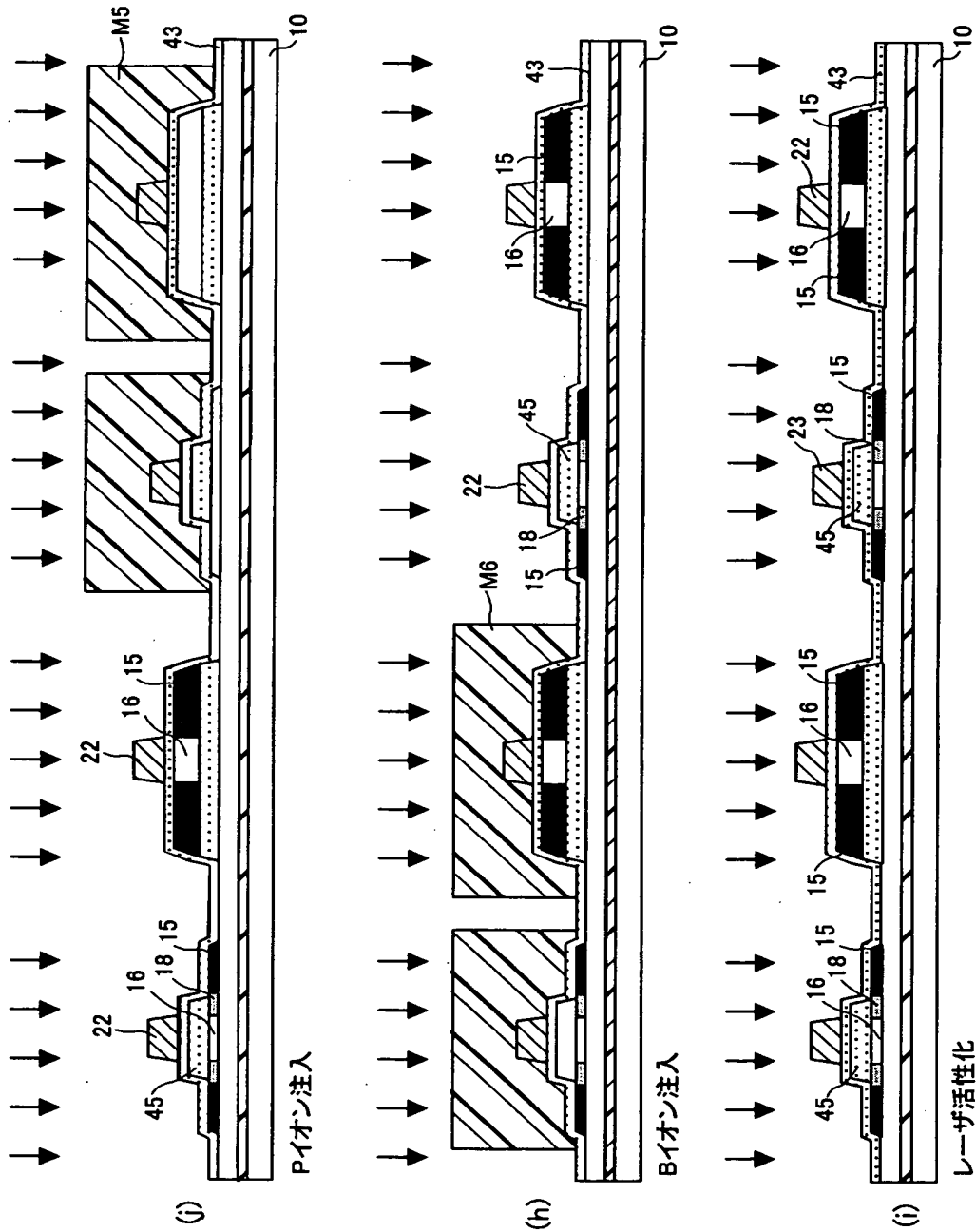
【図 33】

第9実施形態の製造工程図(その2)



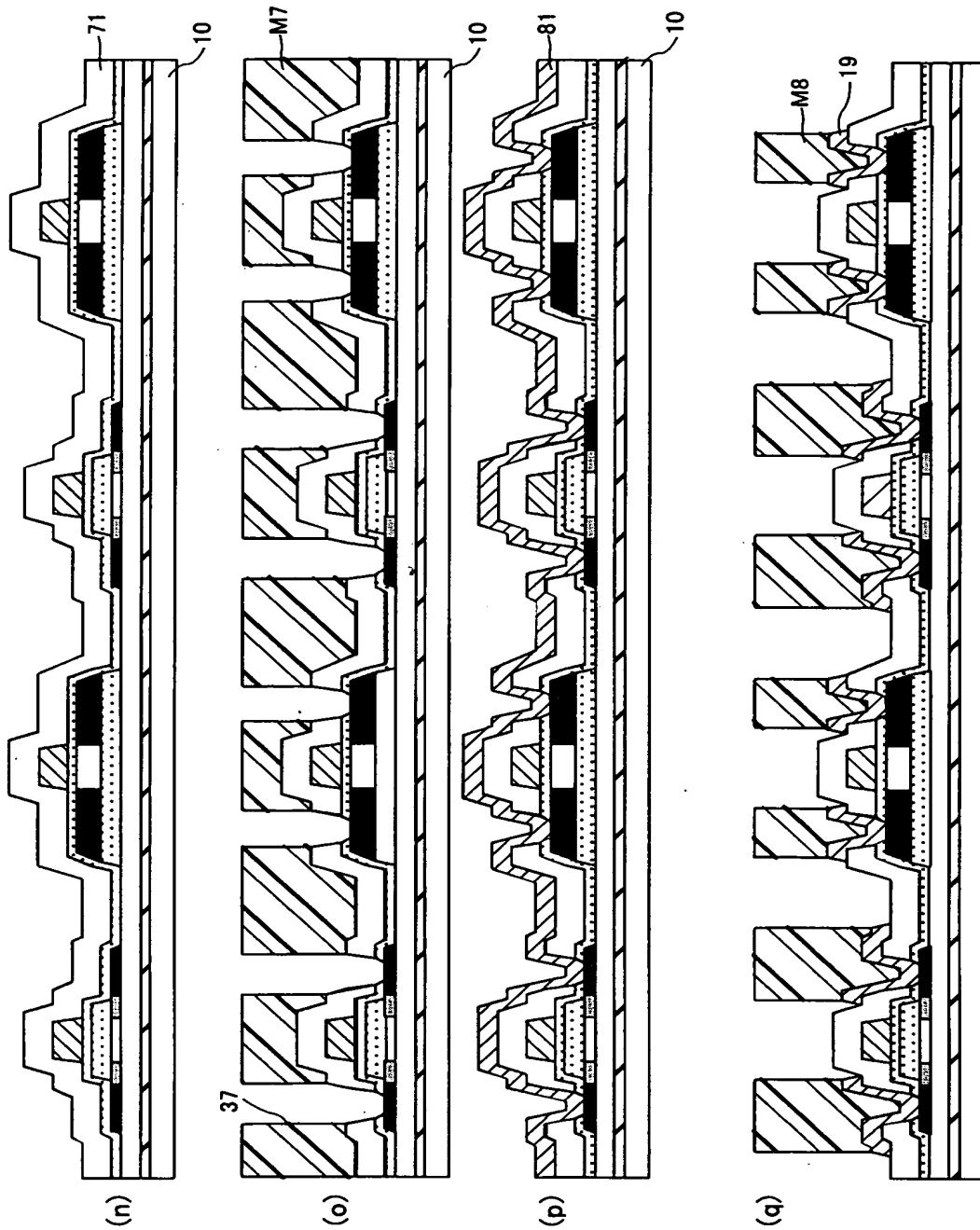
【図 3 4】

第9実施形態の製造工程図(その3)



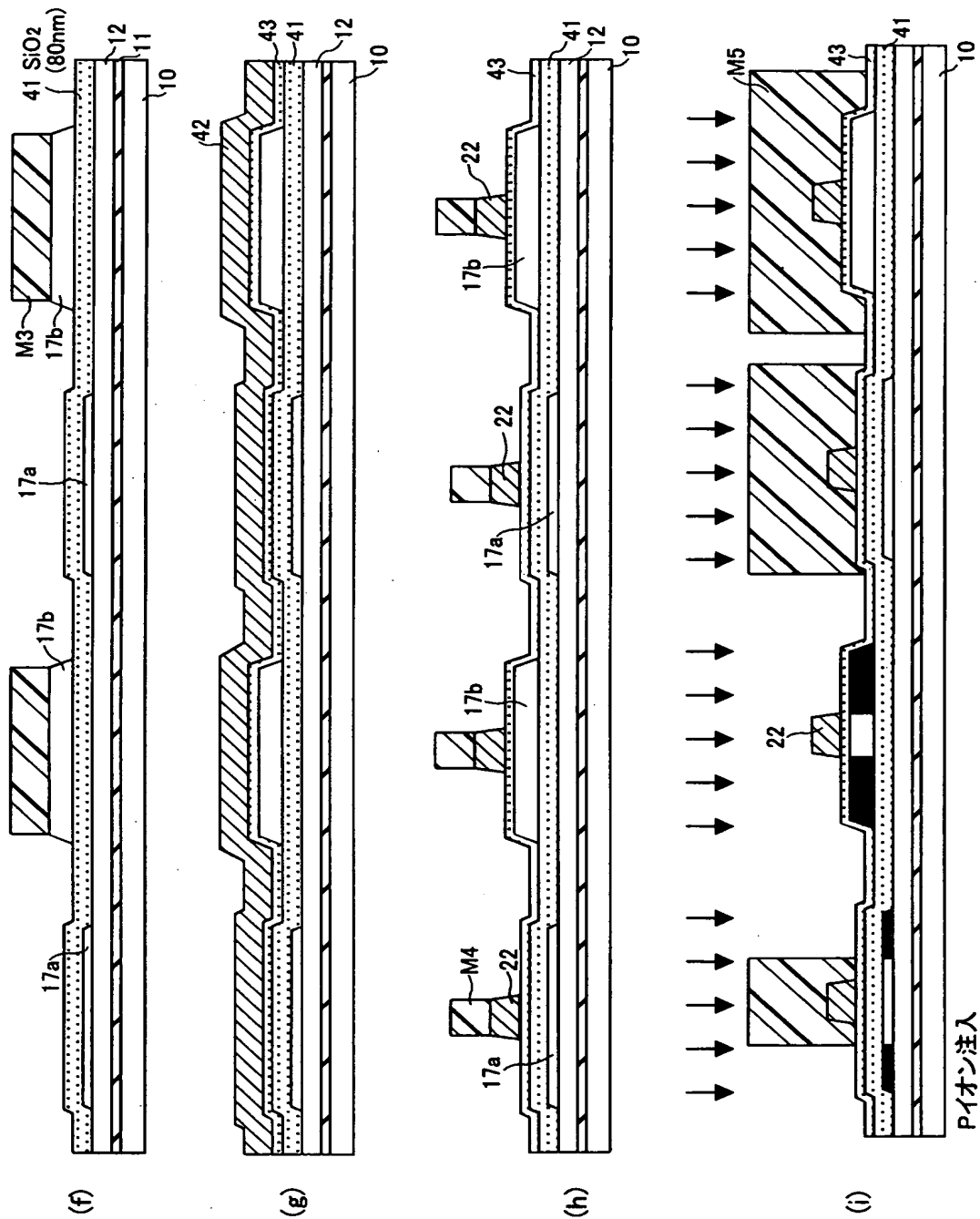
【図 35】

第9実施形態の製造工程図(その4)



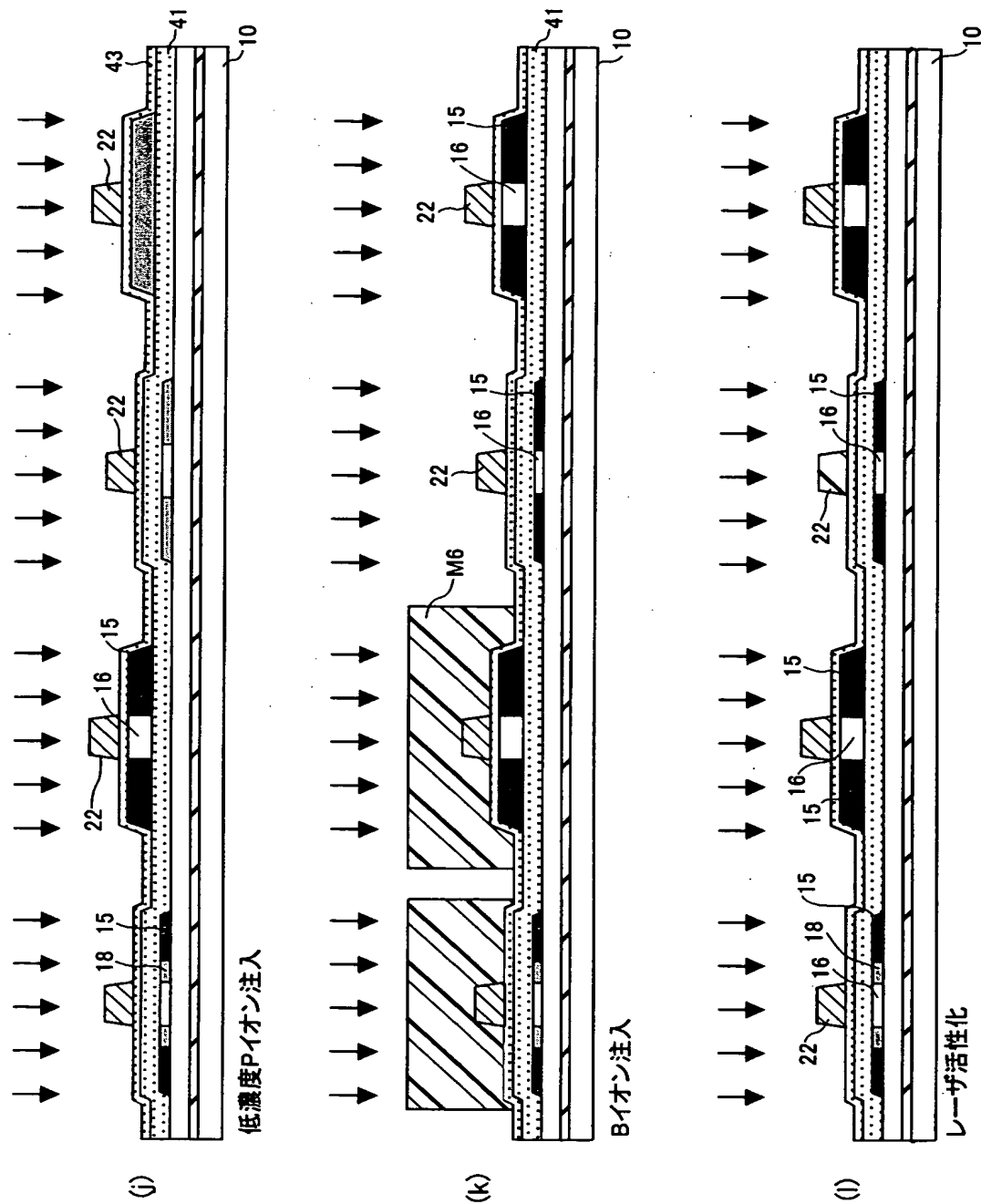
【図 36】

第9実施形態の変形例1(その1)



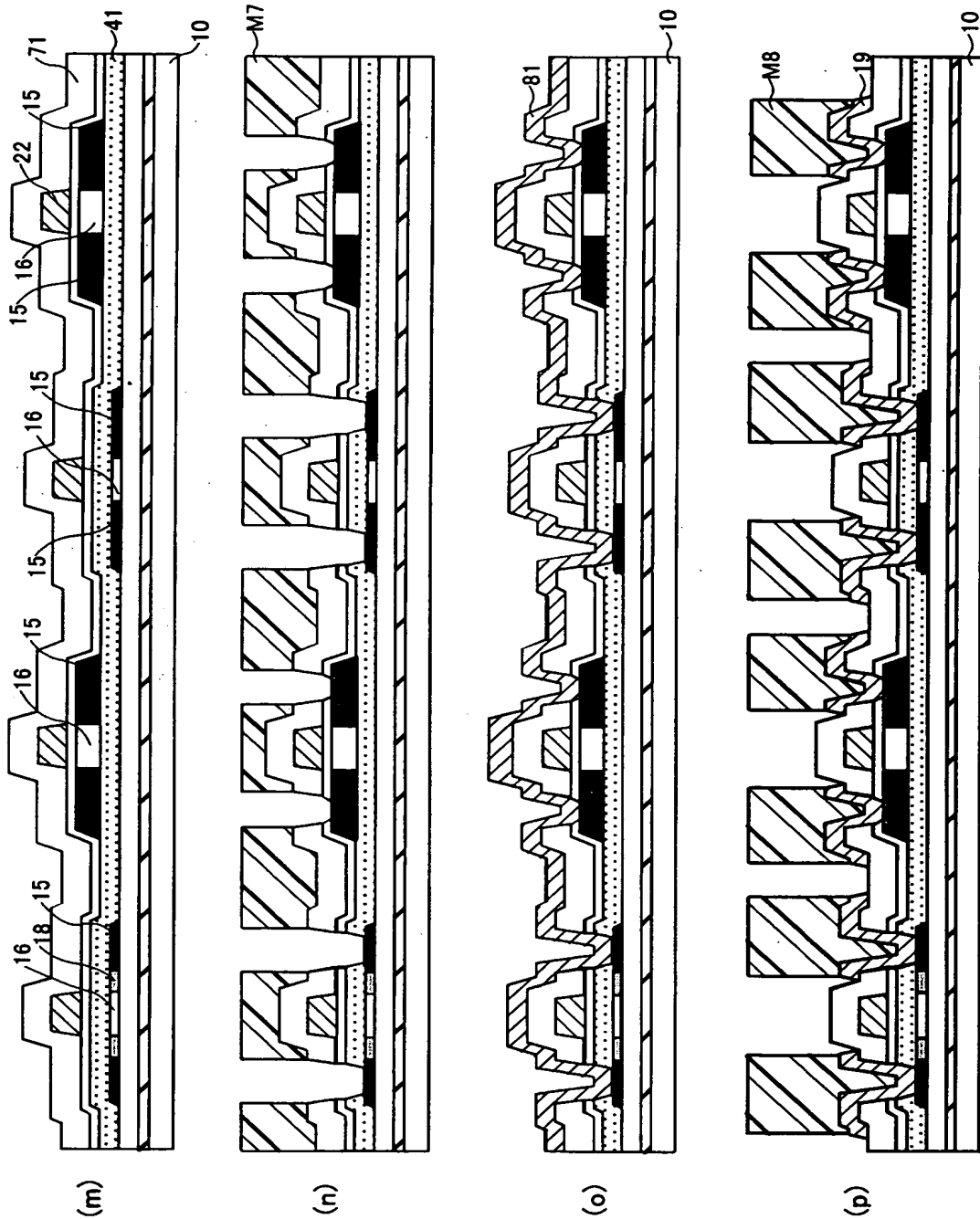
【図 37】

第9実施形態の変形例1(その2)



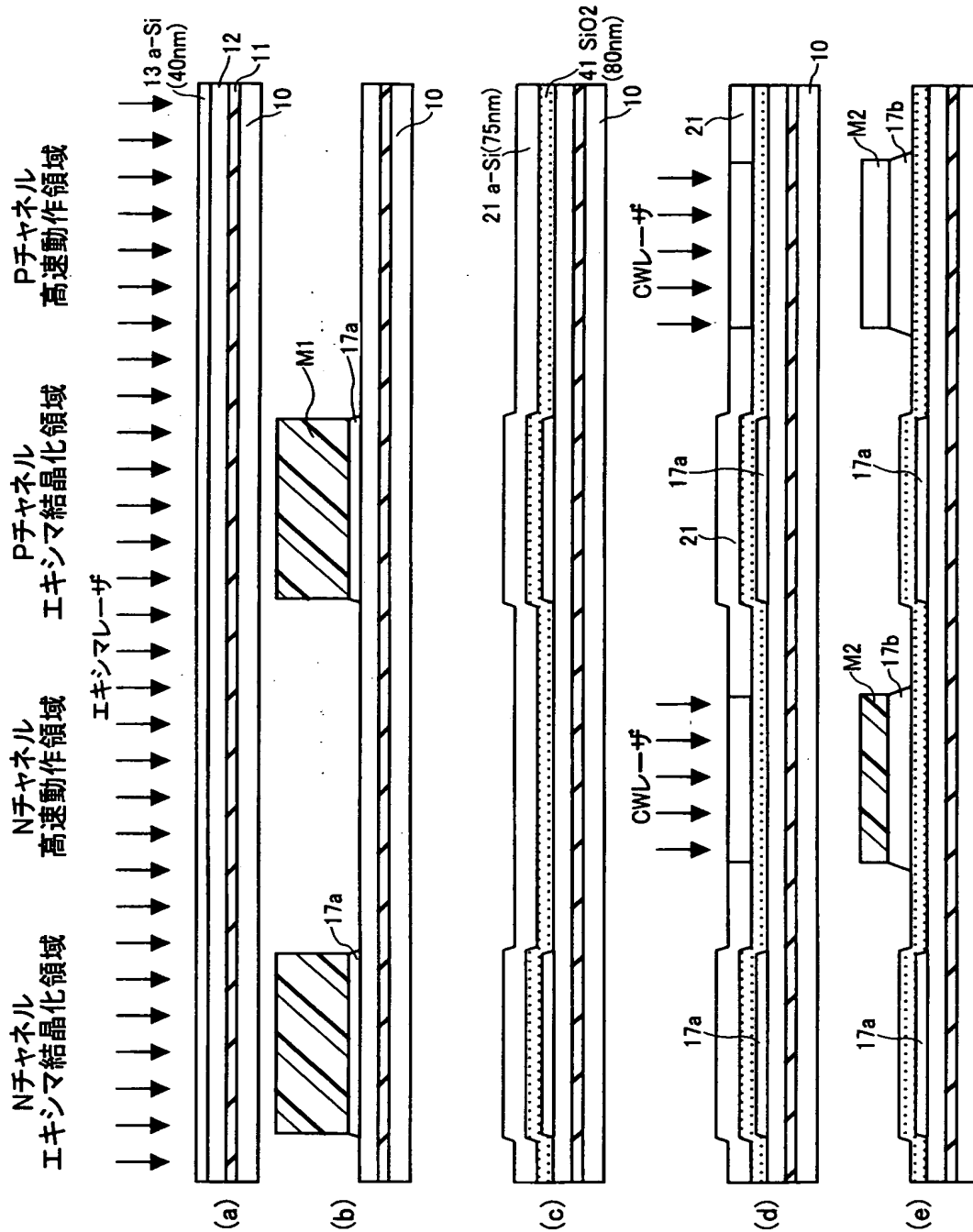
【図 38】

第9実施形態の変形例1(その3)



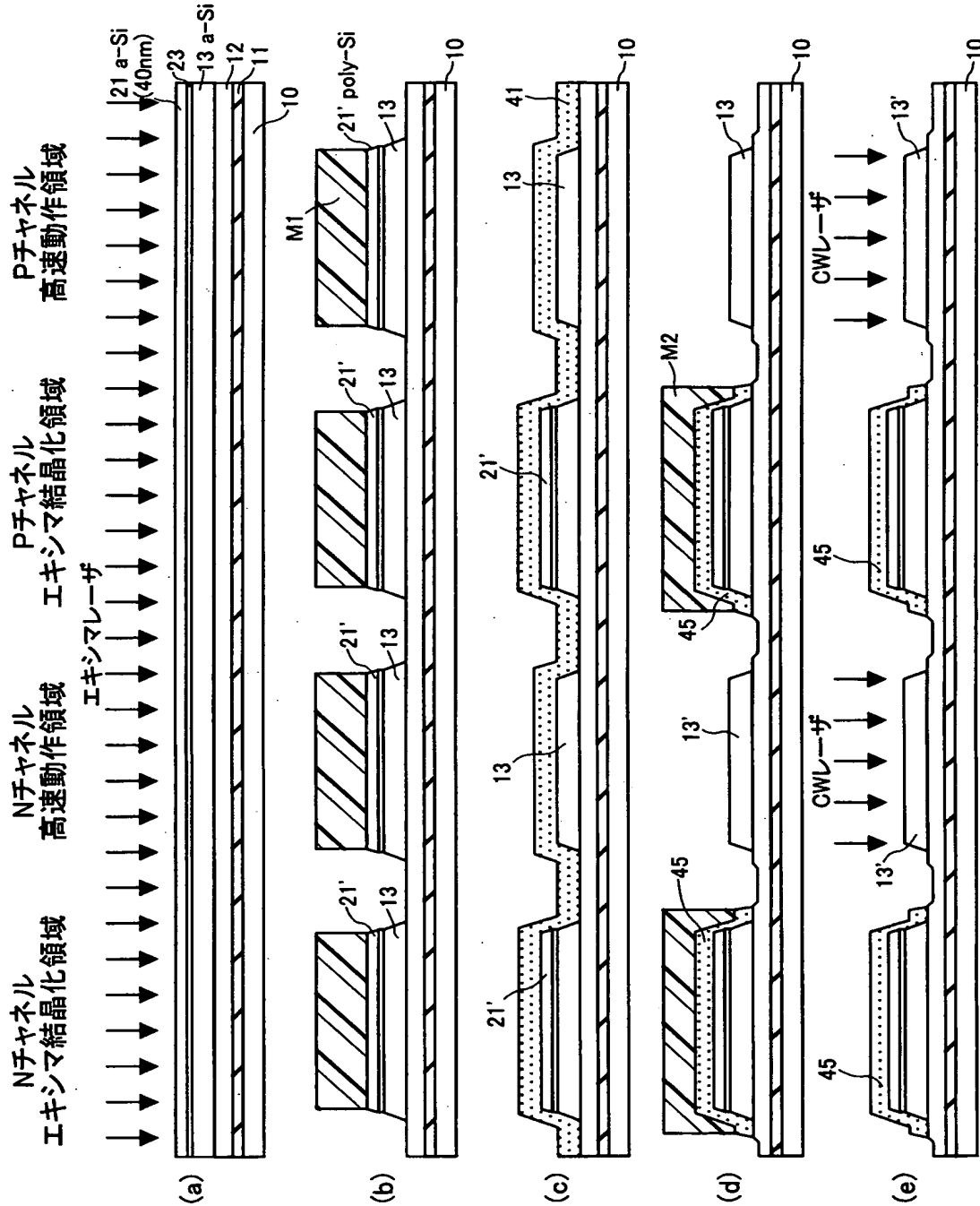
【図 39】

本発明の第9実施形態の変形例2



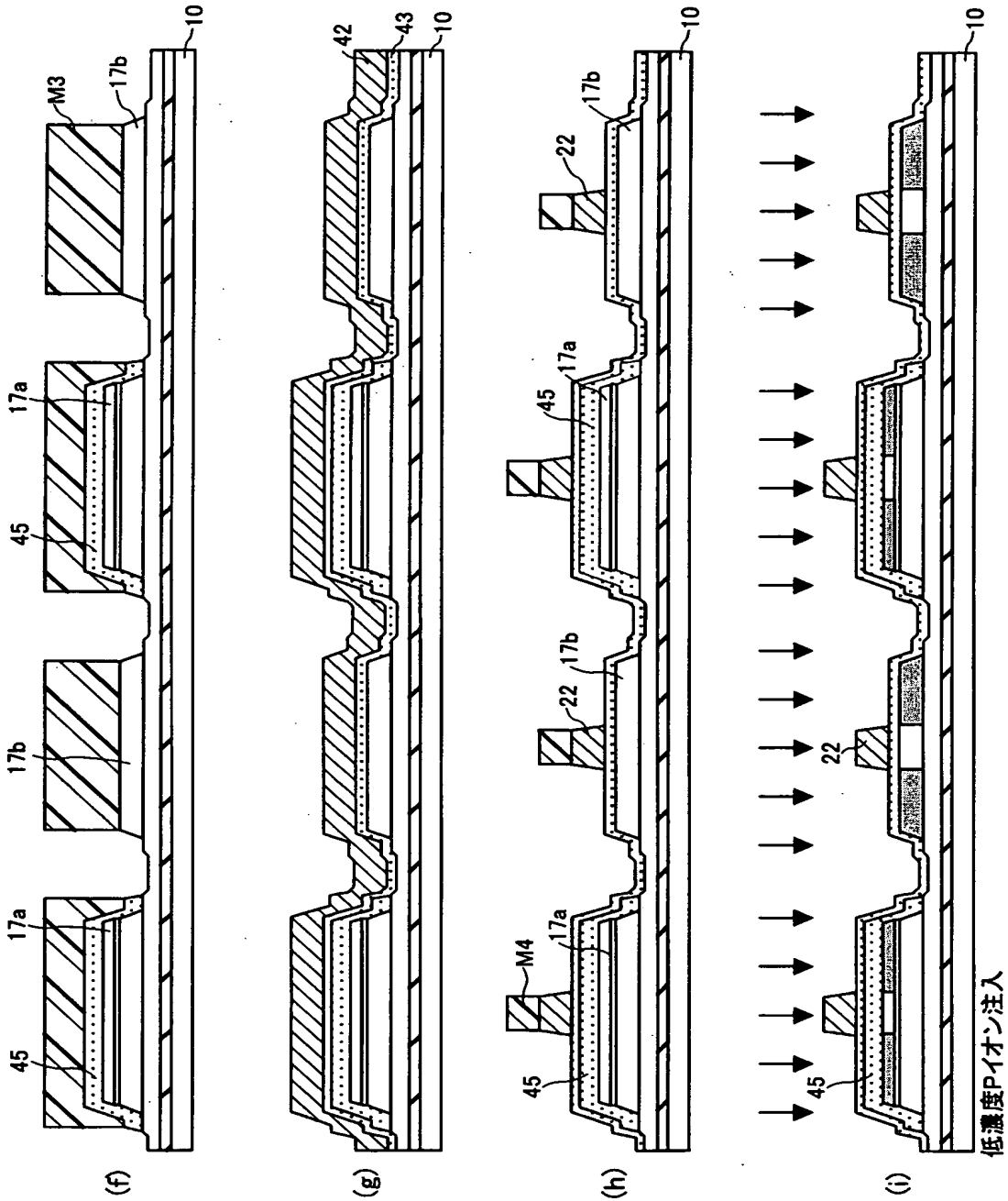
【図40】

本発明の第9実施形態の変形例3(その1)



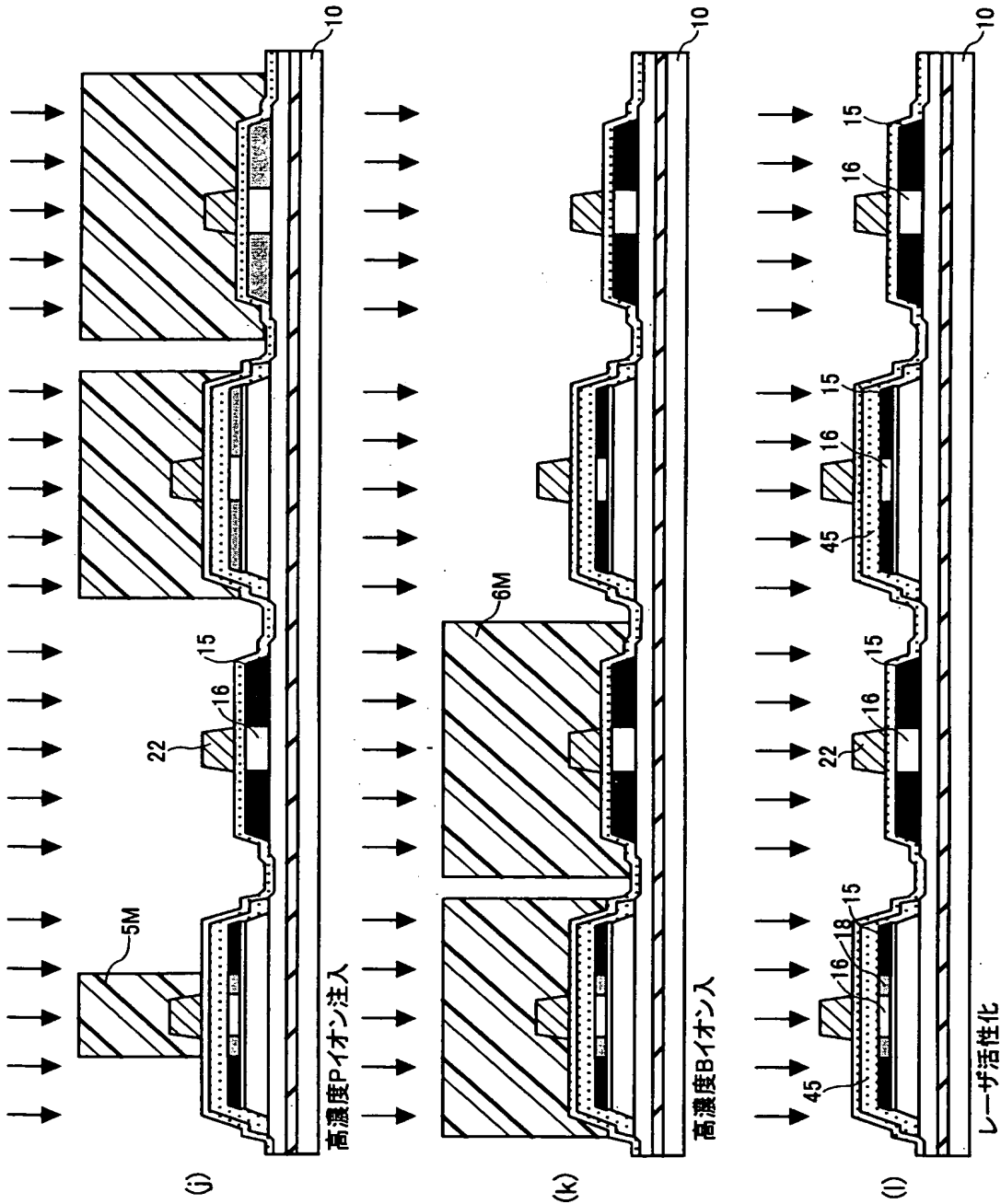
【図41】

本発明の第9実施形態の変形例(その2)



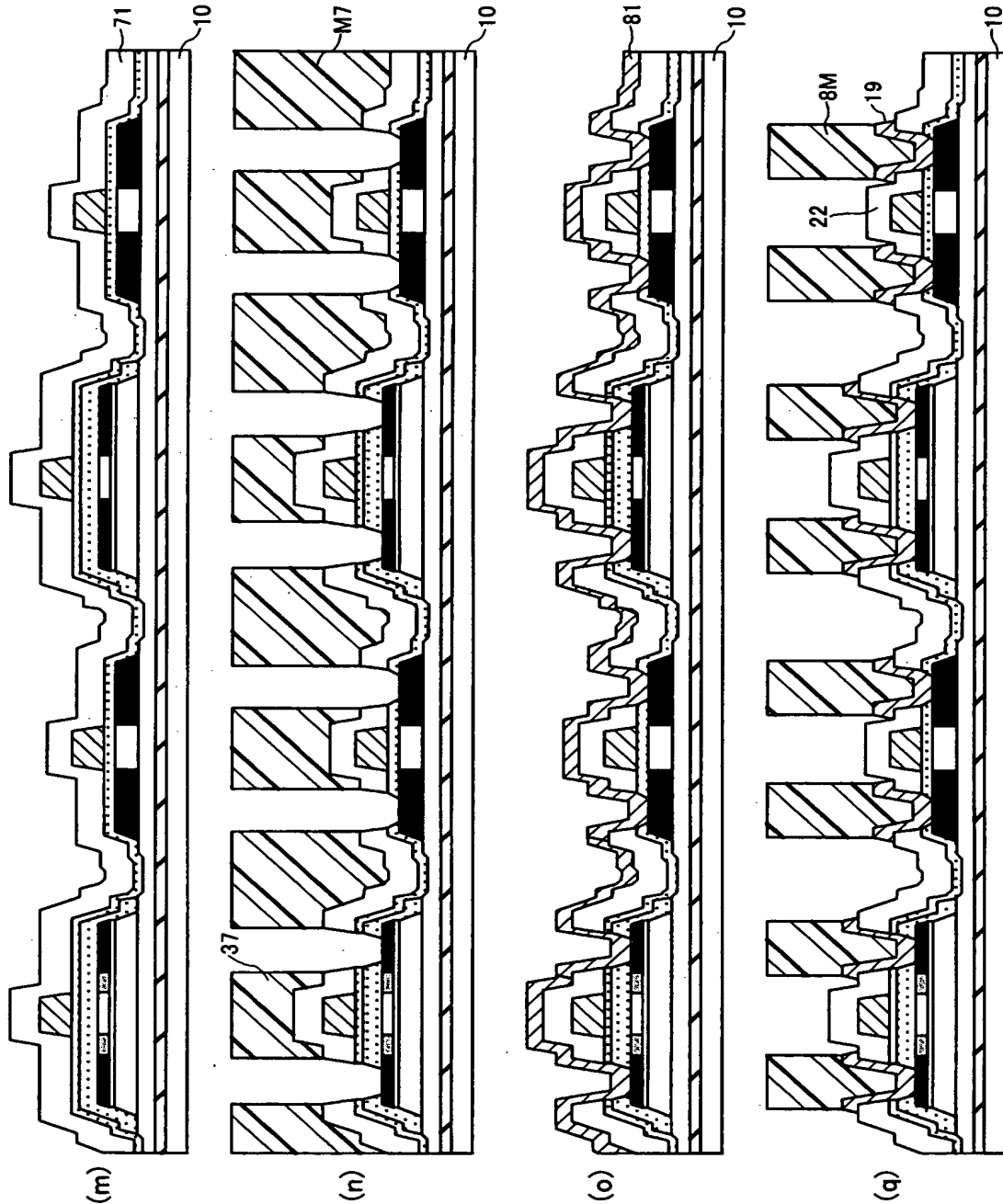
【図 4 2】

本発明の第9実施形態の変形例(その3)



【図 43】

本発明の第9実施形態の変形例(その4)



【書類名】 要約書

【要約】

【課題】 CWレーザ照射による多結晶化を利用しつつ、オフリーク電流や耐圧劣化を低減することのできる薄膜トランジスタ基板を高い生産性で製造する。

【解決手段】 薄膜トランジスタ基板は、透明絶縁基板と、透明絶縁基板上に形成される第1薄膜トランジスタと、透明絶縁基板上に形成され、前記第1薄膜トランジスタと異なる特性の第2薄膜トランジスタとを備え、第1薄膜トランジスタの活性層の膜厚は50 nm以上、その平均結晶粒径は1 μ m以上であり、第2薄膜トランジスタの活性層の膜厚は60 nm以下、その平均粒径は1 μ m未満である。

【選択図】 図3



特願 2 0 0 3 - 0 9 2 8 6 2

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 3 6 0 0 2]

1. 変更年月日

2 0 0 2 年 6 月 1 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通ディスプレイテクノロジーズ株式会社